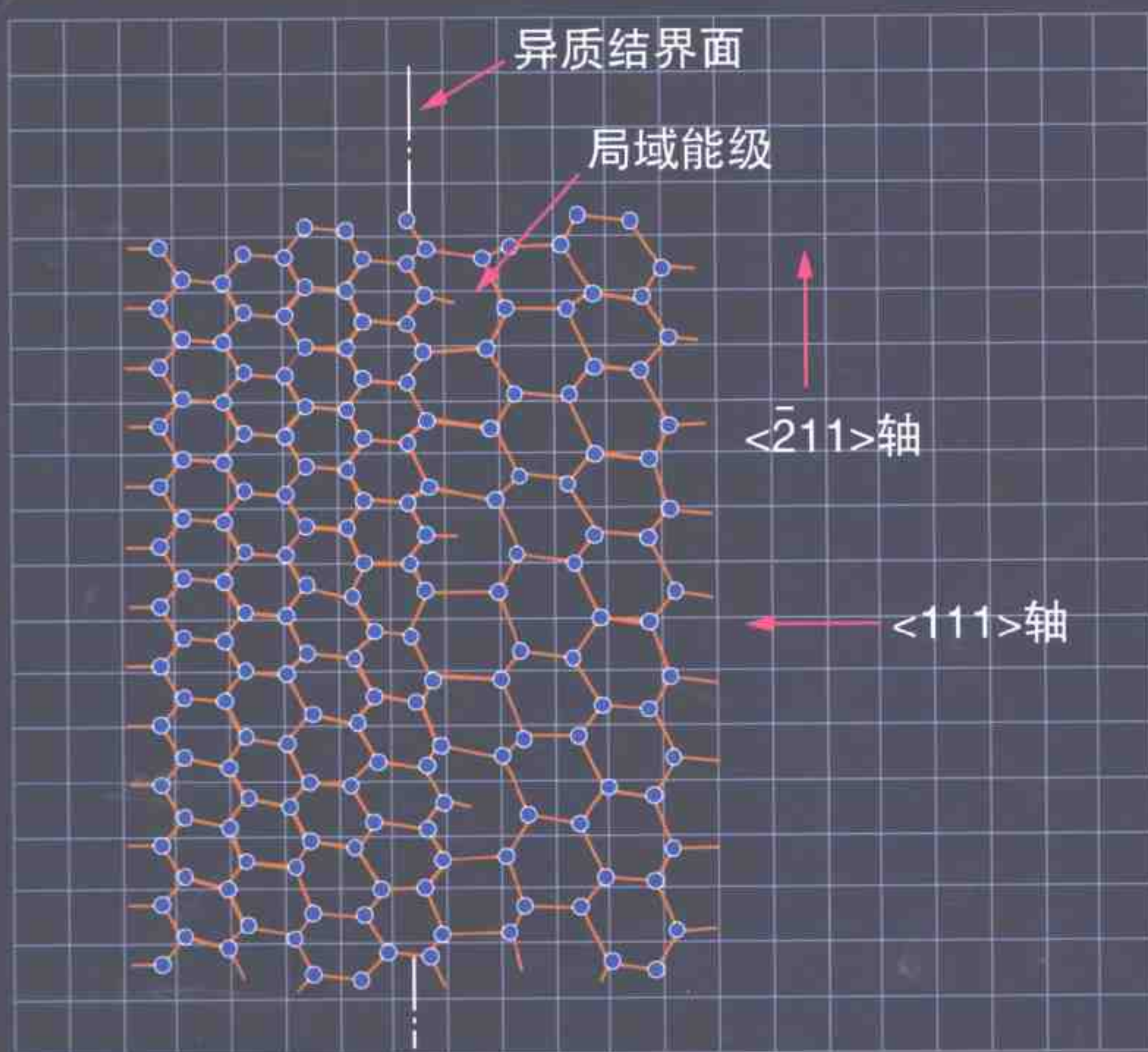


OHM 大学理工系列

半导体器件

〔日〕滨川圭弘 编著



科学出版社 OHM社

(TN-0374.0101)

责任编辑 崔炳哲 樊友民

责任制作 魏 谨

封面制作 李 力

本书内容简介

本书是“OHM大学理工系列”之一。书中与IT基本技术结合,重点介绍了各种半导体器件的基础知识。主要内容有半导体的电学性质、半导体界面的电子现象,各种半导体二极管、双极型功能器件、MOS型控制器件及异质结器件等。

本书可供相关专业的大学生、高等职业学校师生,以及相关领域科技人员参考。

OHM 大学理工系列

系统软件工程

能源环境学

机电一体化

光与电磁波工程

半导体器件

激光工程

电化学

集成电路

电力系统工程

人工智能

光电子学

计算机图形学

网络技术原理及其应用

ISBN 7-03-010104-9



9 787030 101044 >

ISBN 7-03-010104-9/TN · 374

定 价: 17.50 元



OHM 大学理工系列

半 导 体 器 件

〔日〕滨川圭弘 编著
彭 军 译

科学出版社 OHM 社

2002

图字:01-2002-0304 号

Original Japanese edition

Shinsedai Kougaku Series, Handoutai Device Kougaku

Edited by Yoshihiro Hamakawa

Copyright © 2000 by Yoshihiro Hamakawa

Published by Ohmsha, Ltd.

This Chinese language edition is co-published by Ohmsha, Ltd. and Science Press

Copyright © 2002

All rights reserved

本书中文版权为科学出版社和 OHM 社所共有

**新世代工学シリーズ
半導体デバイス工学**

濱川圭弘 オーム社 2001

图书在版编目(CIP)数据

半导体器件/(日)濱川圭弘编著;彭 军译. —北京:科学出版社,2002

ISBN 7-03-010104-9

I. 半… II. ① 濱… ② 彭… III. 半导体器件-教材 IV. TN303

中国版本图书馆 CIP 数据核字(2002)第 008229 号

北京东方科龙图文有限公司 制作

<http://www.okbook.com.cn>

科学出版社 OHM 社 出版

北京东黄城根北街 16 号 邮政编码:100717

<http://www.sciencep.com>

中国科学院印刷厂 印刷

科学出版社发行 各地新华书店经销

2002 年 3 月第 一 版 开本: B5(720×1000)

2002 年 3 月第一次印刷 印张: 8 3/4

印数: 1—5 000 字数: 128 000

定 价: 17.50 元

(如有印装质量问题,我社负责调换(新欣))

丛 书 序

主编 樱井良文

现在,很多大学正在进行院系调整以及学科、专业的重组,以研究生培养为重点,引入学期制,采用新的课程体系授课,特别是由于学期制教学计划的引入,使得原来分册编写的教材很难在一个学期的教学中消化。因此,各学校对“易教”、“易学”教材的需求越来越迫切。

本系列是面向通信、信息,电子、材料,电力、能源,以及系统、控制等多学科领域的新型教学参考系列。系列中的各册均由活跃在相应学科领域第一线的教授任主编,由年轻有为的学者执笔,内容丰富、精炼,有利于对学科基础的理解。设计版面时着意为学生留出了写笔记的空间,是一种可以兼作笔记,风格别致的教学参考书。

希望肩负新世纪工程技术领域发展重任的青年读者们,通过本教程系列的学习,建立扎实的学科基础,在实践中充分发挥自己的应用能力。

OHM 大学理工系列编辑委员会

主 编

樱井良文 大阪大学名誉教授

副主编

西川伟一 大阪工业大学校长
京都大学名誉教授

编委(按姓氏笔画顺序)

广濑全孝	广岛大学教授	井口征士	大阪大学教授
木村磐根	大阪工业大学教授 京都大学名誉教授	仁田旦三	东京大学教授
白井良明	大阪大学教授	西原 浩	大阪大学教授
池田克夫	京都大学教授	滨川圭弘	立命馆大学教授 大阪大学名誉教授

前言

在信息化社会飞速发展的时代里,我们在忙碌中度过一日又一日。特别是在近几年,信息技术(IT)已经成为充溢于社会上各种活动中的关键词。由于报纸、杂志等各种媒体的宣传,不仅使一般的社会人,甚至在中、小学生中也涌起了 IT 化浪潮。互联网打开了知识之窗,成为进入 21 世纪新的信息化社会的象征。利用 e-mail 在瞬间完成了商务联络或亲友之间的寒暄问候;利用互联网,足不出户,就能够对旅行中列车或飞机的时刻表和目的地的地图,甚至于购物商店、旅馆了如指掌。通过 IT 技术的利用,使社会活动能够更有活力、更有效率。那么支撑 IT 技术进步的驱动力是什么呢?那就是人们经常说的,不断追求发展以“更低的能耗”、“更快的速度”处理“更多的信息”为目标的新技术。本书中所介绍的“电子器件的发展进步”的历程就充分体现了这一点。

IT 的原动力是半导体技术。本书所涉及到的内容是 IT 的基本技术。特别是最近 10 年,半导体集成电路技术已成为 IT 技术革命的中心,在这个领域中,从担负兆位次信息处理的 LSI 到处理千兆位的 VLSI,进而迈向 ULSI。近来,SoC(system on chip)超小型大规模计算机系统的单片化技术又成为研究开发的新热点。

进入 21 世纪,IT 领域无疑将会有更加迅速的发展。在这种形势下,希望担负着发展 21 世纪最尖端技术重任的年轻一代认真学习本书所介绍的内容。希望各位都能成为 21 世纪文明的开拓者。

本书各章的执笔者都是电气电子领域的材料物理专家和电子电路系统专家。本书如能够像“OHM 大学理工系列”的初衷那样受到读者青睐,我们将感到不胜荣幸。

滨川圭弘

目 录

第 1 章 半导体器件的发展	1
1.1 电子器件发展历程中的“潮流与波浪”	1
1.2 从体单晶时代向多层化薄膜器件时代的发展	3
练习题	6
第 2 章 半导体的电学性质	7
2.1 半导体的导电率	7
2.2 晶体中电子的有效质量	10
2.3 电子状态密度	13
2.4 载流子密度与温度及禁带宽度的依赖关系	18
2.4.1 载流子密度与温度的关系	18
2.4.2 载流子密度随禁带宽度的变化	19
2.4.3 载流子密度与费米能级位置的关系	19
练习题	20
第 3 章 半导体界面的电子现象	21
3.1 半导体的清洁表面与实际表面及其电子状态	21
3.2 pn 结	24
3.3 异质结	26
3.4 金属-半导体界面	31
3.5 半导体-电介质界面	36
3.6 晶粒间界	40
练习题	42

第 4 章 各种半导体二极管	43
4.1 pn 结二极管	43
4.1.1 pn 结二极管的直流电流-电压特性	44
4.1.2 pn 结二极管的交流特性	48
4.1.3 pn 结二极管的直流电压-电容特性	49
4.1.4 电压-电流特性理论的修正	51
4.2 肖特基二极管的直流电流-电压特性	55
4.3 异质结二极管	57
4.4 江崎二极管与反向二极管的直流电流-电压特性	60
4.4.1 电子穿过薄势垒的几率	60
4.4.2 简并半导体 pn 结的电压-电流特性	61
4.4.3 反向二极管的直流电流-电压特性	63
练习题	64
第 5 章 双极型功能器件	65
5.1 晶体管的作用	65
5.1.1 双极晶体管的结构	65
5.1.2 接地电路与电流的流动	66
5.1.3 输入-输出特性	69
5.2 双极晶体管的工作原理	71
5.2.1 晶体管的放大功能	71
5.2.2 晶体管内部的电流输运机理	72
5.3 晶体管的性能参数(α_0^* , β_0 , γ_0 , f_α)	76
5.3.1 发射极注入效率 γ_0	76
5.3.2 基区输运效率 β_0	76
5.3.3 收集效率 α_0^*	77
5.3.4 高频特性	77
5.4 漂移晶体管	79
5.4.1 载流子扩散的渡越时间	79
5.4.2 漂移晶体管的结构和原理	80
5.5 晶闸管与 SCR, GTO	81
5.5.1 晶闸管的结构与工作原理	81

5.5.2	SCR(silicon controlled rectifier)	83
5.5.3	GTO(gate turn off)	86
	练习题	87
第 6 章	MOS 型控制器件	89
6.1	场效应晶体管的工作原理	89
6.1.1	场效应晶体管的分类与结构	89
6.1.2	MOS 器件的结构	90
6.2	MOS 晶体管的电流-电压特性	92
6.2.1	直流输出特性	94
6.2.2	小信号交流特性	95
6.3	MOS 晶体管的种类与结构	97
6.4	MOS 存储器	99
6.4.1	MOS 存储器的分类	99
6.4.2	DRAM 与 SRAM	99
6.5	CCD 与 BBD 及其电荷转移功能	101
6.5.1	CCD	101
6.5.2	CCD 的原理	102
6.5.3	CCD 的用途	103
	练习题	104
第 7 章	异质结器件	105
7.1	GaAs 系异质结器件的重要性	105
7.1.1	GaAs 系异质结器件是重要的发展趋势	105
7.1.2	GaAs 的特征与物理基础	106
7.2	异质结与二维电子气物理	106
7.2.1	载流子关闭引起的二维效应	106
7.2.2	能带结构	108
7.3	HEMT 的工作原理和电学特性	109
7.3.1	HEMT 的基本结构与高电子迁移率特性	109
7.3.2	HEMT 的工作原理	112
7.3.3	电学特性	114
7.4	微波 HEMT	116

7.4.1 低噪声 HEMT	116
7.4.2 高输出 HEMT	119
7.5 超高速数字 HEMT	120
7.5.1 基本电路形式和开关特性	120
7.5.2 计数器与可控制性	121
练习题	124
 练习题简答	 125
参考文献	129

第 1 章

半导体器件的发展

被誉为 20 世纪最重要发明之一的晶体管的出现,使得电子器件中真空管几乎全被半导体器件所替代,并形成固体电子工程这一重要领域。环顾我们的社会生活,从茶余饭后的“电视 VTR”,到办公室的“OA 设备”、生产车间的“CVD 或工业机器人”,以及计算机信息处理系统,电子技术已经成为现代文明社会中不可或缺的工具。的确,如果没有晶体管,电子技术也就不可能有今天的巨大进步,开发宇宙也只能是天方夜谭。看到这些,我们深切地感受到晶体管的诞生对现代文明所做出的伟大贡献。

本章,首先回顾电子器件从电子管到晶体管的发展历史,分析电子器件迅速发展的原因,探讨潜在的趋势,展望今后的发展。

1.1 电子器件发展历程中的“潮流与波浪”

科学技术的发展过程有“潮流”与“波浪”。当初,发明真空管的时候,首先发现克鲁克斯管中电子以束状射向阳极的现象。当理论上和实验上确认这种电子束能够被电场或磁场有效的控制(电子束的偏转),并围绕电子束这一概念,建立起相应的理论,“热电子发射”、“汞扩散泵以及油扩散泵高真空技术”的实现,推进了真空技术的进步,才可能有发明真空三极管等技术的创新。

晶体管的诞生也是如此,首先经历了半导体材料的高纯制备技术与单晶生长技术的开发阶段,然后应用这些技术制造出锗单晶,并且在锗单晶上用被称为猫须(cat whisker)的探针实现了“注入空穴”,终于发现了晶体管的功能。在实现了对半导体电子和空穴密度有效控制的价电子控制技术后,制作可设计半导体材料“synthetic material”的条件成熟了。这样,从最初的可靠性及功能还远不如电子管的晶体管发展到今天已经迅速崛起成长为强大的

则支配的。就是说,在追求信息处理高速化的同时,必须考虑完成一种功能所必要的电源“节能化”、“小型化”问题。

同时,技术的发展要与制造工程以及维持生产设备的合理化相联系,要进行产品的“标准化”。以接收管为例,它的结构形式最初是“ST管(茄形管)”,后来发展为“GT管(八角管座真空管)”,进而向“MT(小型)管”以及“SMT(超小型)管”演变。

晶体管诞生以来的固体电子工程时代继承了以信息处理经济化为基本原则的技术开发潮流,就是说要满足以“更低的能耗”、“更快的速度”处理“更多信息”的技术要求。晶体管由最初的合金型晶体管→扩散型→离子注入型→外延型,然后是平面型晶体管,不断地演变。

另一方面,在图的右下方画出了由微功能模块向 IC 及电路系统一体化、集成化发展的新的潮流。由混合 IC→单片式 IC→LSI→VLSI 的进展,最近,已实现了把整个电路系统制作在一个小片上的 SoC。

1.2 从体单晶时代向多层化薄膜器件时代的发展

“硅单晶”是构筑起电子技术新时代基础的现代新材料的代表。面向 21 世纪,将会出现什么样的“技术创新”?或者说,按照前述的逻辑推论,根据近 10 年间技术发展的潮流,以及从科学技术发展中得到的新启示,不断向可设计材料(synthetic material)发展的新材料是什么?

首先,由于最近材料精制技术与超高真空技术的进步,不仅无机材料,甚至有机金属都可以得到超高纯度的原材料,它们满足了 ALE(原子层外延)、MBE(分子束外延)以及等离子 CVD、MOCVD、光 CVD、ECRCVD 等新的薄膜制备技术的需要。处于这种技术新趋势中的薄膜材料,无疑不仅有 Si 等元素半导体和以 GaAs 为代表的化合物半导体,以及能有效进行价电子控制的四配位系非晶态半导体,还有非晶态金属形状记忆合金等多种多样的新合金膜、透光性强电介膜,被称为“新型陶瓷”的多种材料都相继实现了大面积薄膜化、多层薄膜化。

特别是在结晶材料获得重要发展的启示下,非晶态物质和新

型陶瓷材料的强度也得到提高。复杂的外延(epitaxial)生长技术不再那么神秘,众多的异质材料衬底上都可以容易地生长出大面积的均匀薄膜材料,并且易于加工,适于批量生产。我们注意到,这些材料中不仅包括半导体,还涉及从金属、电介质材料到PVDF(聚偏二氟乙烯)那样的聚合物等范围很宽的多种材料。就是说,“从体单晶时代向多层化薄膜器件时代发展”是21世纪支配电子技术的材料技术的“新潮流”。

这10年中,由于材料科学的进步,相继开发出大量小型、轻量、可靠性高的器件。在这些器件的开发过程中,在金属、半导体、介质材料等材料制备技术取得巨大进步的同时,器件制造工艺技术也得到迅速发展。在图1.2中,表示以这两者为支柱的半导体器件的发展过程,新器件就诞生在图中两种波纹线的交结点。以图中半导体材料的技术革新为例,硅和锗等单晶半导体的制备技术由于切克劳斯基(CZ)结晶和悬浮区熔(FZ)结晶技术的发展使得能够制备超高纯度、大尺寸的单晶体,所以最初的晶体管诞生了。

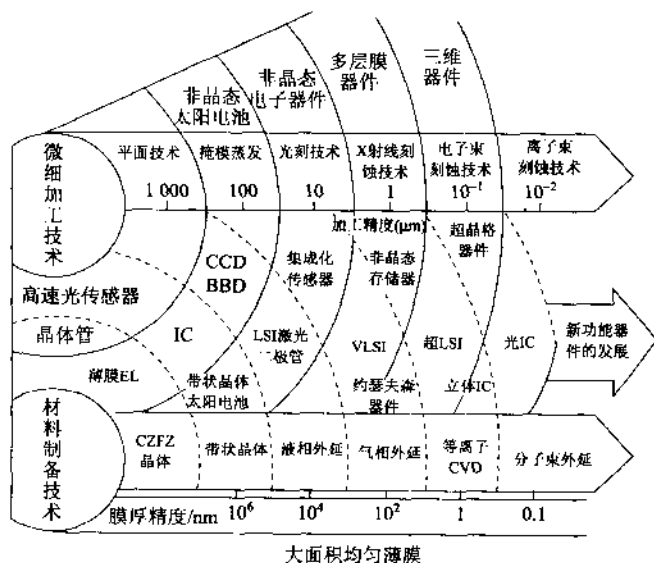


图 1.2 由于微细加工技术与材料技术的进步诞生新的功能器件

电子设备中使用部件数目的增加,对于电路系统的组装形式也带来重大变革。例如,初期的电路基板是用木质或电木等绝缘

物组装的,改为金属底板后,有利于各电路的接地和电磁屏蔽,并且使得整个电路能够“小型化”。在此基础上,电子电路的组装也正在改变为立体集成式的电路集装架方式。如图所示,由“印制电路板”向“微型组件”发展,这种电路系统小型化的思想,成为现代集成电路发展的基础。

回顾 20 世纪 50 年代到 60 年代多路电话交换装置的变迁过程,可以看到,在由电子管向微型组件化的晶体管电路推进的 10 年间,设备的容(体)积减小为最初的 570 分之一,重量减轻为 400 分之一,工作消耗的电力降低到 1000 分之一。高速运行与降低电力消耗的技术潮流促进了器件微细加工精度的提高,并导致 IC (集成电路)的诞生。同时围绕着微细加工水平的提高,在材料制备技术方面,已由仅仅追求高纯度的体单晶发生了演变,即带状单晶→外延薄膜→等离子 CVD 非晶态薄膜等,就是说形成了从体单晶向多层化薄膜单晶发展的新技术潮流。这种由体单晶向薄膜以及它的多层化发展的潮流,不仅对半导体,同样波及金属和介质材料。表 1.1 列举出这样的技术发展潮流。

表 1.1 半导体器件的技术走向
——从体单晶时代到多层薄膜器件时代

	实用化需要	薄膜化技术
金 属 ↓ 半 导 体 ↓ 绝 缘 体	金属薄板成型 (微屏等)	电成型
	金属涂膜 (车,家具等)	等离子 CVD, 电离镀膜
	非晶磁性膜 (激光唱片等)	溅射, 反应溅射, EB 蒸发
	单晶薄膜 (电子器件, 传感器)	外延, MBGE, CVD, 光 CVD, ECRCVD
	非晶半导体膜 (太阳电池, TET 等)	MBGF+等离子 CVD+光 CVD 等离子 CVD, 光 CVD, ECRCVD
	(3 维 IC, 发光器件)	
	(CCD, BBD, J. J. 器件)	
	介质材料的薄膜化 (智能化传感器, EL, 光 IC, IROPFET 等)	等离子 CVD(Si_3N_4 , SiO_2) 光 CVD, ECRCVD

从晶体管到 VLSI(very large scale integrated circuit), 微细加工技术的进步是微电子取得巨大进步的半导体技术中极为重要的潮流之一。从光刻到 X 射线刻蚀, 从电子束到离子束刻蚀, 进而到

基于 SR 光的 LIGA(lithographic galvanofforming and abforming)技术的垂直加工,我们看到线条更加微细,电子器件向表面化、多层化发展的惊人变化。

促使这种技术开发潮流的驱动力,是以“低少的能耗”、“更快的速度”处理“更多的信息”的需求,也就是“信息处理经济”的大原则在起作用。高度集成化,从简单平房式 IC 向高层建筑式 IC(集成电路的三维化)演变是人们长期以来执着的追求,今日的多层薄膜化技术的飞速发展使我们感受到这一梦想正在实现。

练习题

1. 从电子管到晶体管、IC,回顾支撑电子技术进步的功能器件的发展历程,试分析技术发展的驱动力究竟是什么?从这种发展历程,试回答支撑未来发展的新功能器件是什么?

第 2 章

半导体的电学性质

固体按照导电性能可以分为三类:良导体、半导体及绝缘体。半导体这一名词最早出现于 19 世纪,那时,人们把既不是金属那样的良导体,又不像玻璃或云母之类绝缘体的物质一概称为半导体。实际上这是一个模糊的定义。事实上,现在成为电子技术的重要材料的超高纯度的锗和硅单晶出现之前,代表性的半导体材料是硒薄膜和氧化亚铜,它们经常会出现同样条件下得到的产品的导电率会有数量级差别的现象,甚至连它的电学性质都难以正确地把握。

进入 20 世纪 40 年代,用区熔法和切克劳斯基法人工制造出高纯度的锗和硅单晶,随后,通过对这种单晶掺入极微量的杂质,得到了可控导电类型和导电率的半导体材料,实现了所谓的“价电子控制技术”,从而使半导体成为可以用于制造器件的可设计材料(synthetic material)。从 20 世纪初开始不断发展和完善起来的量子力学理论是固体电子论的基础,事实证明固体电子论很好地解释了半导体电学性质的理论问题,并成为一個崭新的领域——“固体电子学”的基础,进而,发展为“微电子学”,成为近代文明社会不可或缺的技术领域。

本章,首先简要介绍建立在量子力学基础上的固体物理学基本理论,然后学习“半导体器件工程”的基本知识和器件设计、制造技术,以及新器件研究、开发所必须的基础知识。

2.1 半导体的导电率

在半导体两端加一电压 V ,并形成均匀电场 E 的情况下,半导体的导电率 σ 由欧姆定律定义为

$$J = \sigma E \quad (2.1)$$

式中, J 为流过半导体的电流密度。半导体中的电流输运者(载流

子)有电子和空穴,载流子密度分别为 n 和 p ,在沿着电极方向的电场 E_x 作用下,流过半导体的电流为电子电流与空穴电流之和:

$$J = J_n + J_p = ep\langle v_{dp} \rangle - en\langle v_{dn} \rangle \quad (2.2)$$

式中, $-e$ 是电子电荷, v_{dp} 和 v_{dn} 是空穴和电子的漂移速度。

为简单起见,我们在讨论电子的运动时,认为当外加电场为零时,电子的速度分布为各向同性的, $\langle v_{dn} \rangle = 0$; 在外加电场作用下,由于库仑力 $-eE_x$ 的作用,电子在 x 方向上获得的加速度为 $-eE_x/m$, 电子一方面作布朗运动,一方面在电场的反方向上以平均速度 $\langle v_d \rangle$ 运动。称这种运动速度为漂移速度(drift velocity)。

外加电场 E_x 时,电子受力 $-eE_x$ 而运动,假设与声子和杂质碰撞时的平均碰撞时间为 τ_n , 那么,单位时间内平均动量的变化为 $\langle p_{xn} \rangle / \tau_n$ 。因此,按照牛顿定律,动量随时间净的变化量等于在电场力 $-eE_x$ 作用下增加的部分与因碰撞而损失的部分之差。

$$\frac{d\langle p_{xn} \rangle}{dt} = -eE_x - \frac{\langle p_{xn} \rangle}{\tau_n} \quad (2.3)$$

在稳定状态下, $d\langle p_{xn} \rangle / dt = 0$, $\langle p_{xn} \rangle = m_n \langle v_{dn} \rangle$, 所以由式(2.2)得到

$$\langle v_{dn} \rangle = -\frac{e\tau_n}{m_n} E_x = -\mu_n E_x \quad (2.4)$$

如前所述, $\langle v_{dn} \rangle$ 是漂移速度,它对电场之比例系数的绝对值

$$\mu_n = \frac{e\tau_n}{m_n} \quad (2.5)$$

是表征电子运动速度的常数,称为迁移率(mobility)。因此,电流密度 J_n 可以表示为

$$J_n = n(-e)\langle v_d \rangle = \frac{ne^2\tau_n}{m_n} E_x \quad (2.6)$$

类似地,可以得到空穴电流表达式,结果,式(2.2)可以写为

$$J = J_n + J_p = eE(n\mu_n + p\mu_p) \quad (2.7)$$

$$\text{式中, } \mu_n = \frac{e\tau_n}{m_n}, \mu_p = \frac{e\tau_p}{m_p} \quad (2.8)$$

这样,可以把宏观的欧姆定律明确地表示为由荷电粒子电子与空穴的流动构成电流的关系式。

晶体中电子与空穴一边作热运动(类似于布朗运动),一边在电场 E_x 作用下加速,受到偏离晶格振动和晶体周期势场的作用,也就是受到晶格缺陷和杂质散射作用的同时输运电荷。但是,各种散射是相互独立的现象,假设各种散射机构的平均碰撞时间分

别为 τ_L 、 τ_I 和 τ_D ，那么，单位时间内总的碰撞概率 $1/\tau$ 为各种散射机构碰撞概率之和：

$$\frac{1}{\tau} = \frac{1}{\tau_L} + \frac{1}{\tau_I} + \frac{1}{\tau_D} \quad (2.9)$$

对于代表性的半导体材料， τ_L 、 τ_I 、 τ_D 的值可以通过精确测定各种材料的迁移率与温度的依赖关系，并根据它的理论模型，得到数值化的数据。由这种结果发现，声学波声子散射的平均碰撞时间与绝对温度 $T^{-3/2}$ 成比例，其迁移率 μ_L 也与 $T^{-3/2}$ 成比例。

另一方面，半导体中带正电荷的电离施主和带负电的电离受主也会以库仑电场作用对荷电载流子散射，这种现象与 α 射线的卢瑟福散射类似，同样地可以用经典方法处理，结果表明， τ_I 正比于 $T^{3/2}$ ， μ_I 也与 $T^{3/2}$ 成比例，温度越高，迁移率越大。此外，位错散射 τ_D 也与 T 成比例。因此，在一定温度下，测定的载流子迁移率 μ_n 或 μ_p ，是取决于各种散射机构作用的迁移率的并联效果，即

$$\mu^{-1} = \mu_L^{-1} + \mu_I^{-1} + \mu_D^{-1} \quad (2.10)$$

实际上 μ 的值取决于三种散射机构作用下最小的迁移率值。

n 型锗双晶晶粒界面处产生的 p 型电导率与温度有关系，图 2.1

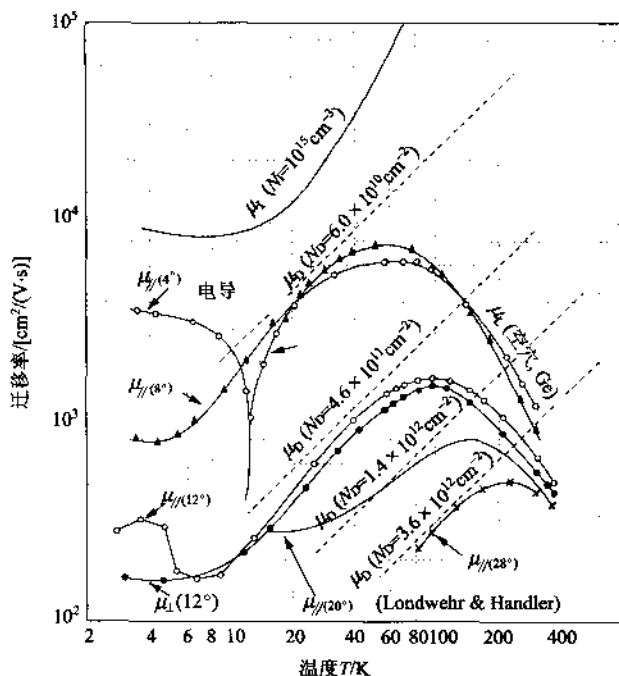


图 2.1 从锗双晶晶粒界面电导率求得的迁移率 μ 及其与散射机构的关系 ($\mu_{||}$ 和 μ_{\perp} 都是位错散射迁移率 μ_D ， N_D 是位错密度，(4°) 或 (8°) 表示错角)

是从极低温到室温下测定它的电导率得到的晶粒间界电导迁移率与温度的依赖关系。之所以举此例子,是因为通过调整晶粒错合角(misfit θ_μ)能够有效、正确地控制晶粒间界处产生的位错密度。可以看出,用虚线表示的 μ_D 基本上与温度 T 成比例,而且由于位错列密度 N_D 值的变化,基本上平行地移动。就是说,由于锗双晶晶粒是一种散射中心密度可控型人造材料,所以在载流子输运问题中,这是一个说明因载流子散射中心密度变化而改变迁移率值的理论和实践相结合的典型例子。

作为学习半导体器件原理的基础,首要的是确定半导体材料的迁移率与载流子密度,在以后的章节中,将围绕两者的关系及定量化的问题作比较详细的讨论。

2.2 晶体中电子的有效质量

在晶体周期性势场中运动的电子的波函数,由扩展于整个晶体中的布洛赫函数给出。但是,处理载流子输运现象时,像前节那样把电子作为经典粒子处理比较容易理解。假定电子的空间扩展为 Δx ,那么按照测不准关系 $\Delta x \cdot \Delta px = h$,动量 Δpx 也具有 $h/\Delta x$ 的不确定范围。电子的粒子性体现在动量或者波数有微小差别的大量电子波的可迭加性。如图 2.2 所示,如果大量波数不同的波叠加,那么会形成空间局域波,把它称为波包(wave packet)。作为经典粒子的电子的运动速度就是波包的最大振幅点,即存在几率最大点的速度,而不是构成波包的各傅里叶分量波的位相速度 ω/k (ω 是波的角频率, k 是波数)。波包的速度称为群速 v_g (group velocity),由下式定义:

$$v_g = \frac{d\omega}{dk} \quad (2.11)$$

假设能量为 ϵ 的电子波的角频率为 ω ,根据德布罗意关系,有 $h\omega = \epsilon$,所以电子的群速 v_g 为

$$v_g = \frac{d\omega}{dk} = \frac{1}{h} \frac{\partial \epsilon(k)}{\partial k} \quad (2.12)$$

如果扩展到三维空间:

$$\text{grad}_k = i_x \frac{\partial}{\partial k_x} + i_y \frac{\partial}{\partial k_y} + i_z \frac{\partial}{\partial k_z}$$

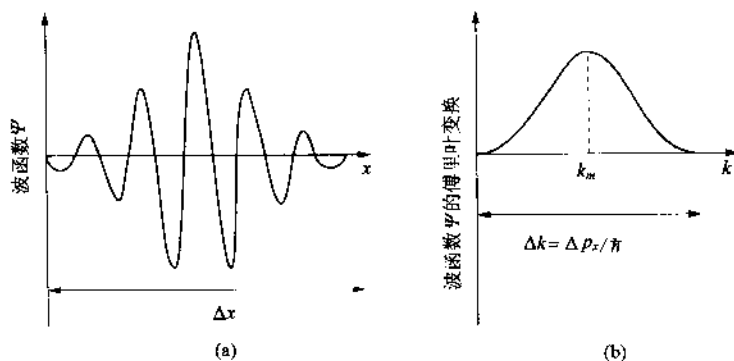


图 2.2 波包的空间扩展(a)与波数的扩展(b)

(傅里叶分量波中, 振幅最大的分量波为 k_m , 群速则为 $(d\omega/dk)_{k=k_m}$)

则有

$$v_g = \frac{1}{\hbar} \text{grad}_k \epsilon(k) \quad (2.13)$$

式中, i_x, i_y, i_z 是 k 空间 x, y, z 轴方向上的单位矢量。 $\hbar k$ 具有动量的量纲, 在等能面为球形的自由电子¹⁾的情况下, 它与经典力学中的动量是一致的, 一般来说, 群速 v_g 与 $\hbar k/m$ 是不相等的。尽管如此, 在下面的分析中, 还是把 $\hbar k$ 看作电子的动量, 把在周期性势场中运动的电子与经典粒子同样地处理, 并特别把 $\hbar k$ 称为**晶体动量**(crystal momentum)。

现在, 考虑一维晶体的情况。以群速 v_g 运动的晶体中的电子在时间 δt 内受到外力 F 作用时, 电子得到的能量 $\delta \epsilon$ 为

$$\delta \epsilon = F v_g \delta t \quad (2.14)$$

由式(2.12)可以得到 $\delta \epsilon = \hbar v_g \delta k$ 的关系, 由此得到

$$\hbar \delta k = F \delta t \quad \text{即} \quad \hbar \frac{dk}{dt} = F \quad (2.15)$$

可以看出 $\hbar k$ 随时间的变化等于外力, 所以说 $\hbar k$ 类似于经典力学中的动量。电子作为粒子, 它的加速度 a 为 dv_g/dt , 由式(2.12)和式(2.15), 得到

$$a = \frac{dv_g}{dt} = \frac{1}{\hbar} \frac{d}{dt} \left(\frac{\partial \epsilon}{\partial k} \right) = \frac{1}{\hbar} \frac{\partial^2 \epsilon}{\partial k^2} \frac{dk}{dt} = \frac{1}{\hbar^2} \frac{\partial^2 \epsilon}{\partial k^2} F = \frac{F}{m^*} \quad (2.16)$$

对于质量为 m 的自由粒子, 服从经典力学的牛顿定律 $F = ma$, 与之相对应, 对于在周期性势场中运动的电子来说, 它的行为宛如质

1) 对于自由电子, 由关系式 $p_x = \hbar k_x$ 将经典力学的动量与波数联系起来。

量为

$$m^* = \hbar^2 \left/ \frac{\partial^2 \epsilon}{\partial k^2} \right. \quad (2.17)$$

的经典粒子。所以把 m^* 称为有效质量(effective mass), 可以看作是计入周期性势场影响的电子的质量。

三维情况下的有效质量同样可以采用式(2.13)导出, 通常是具有9个分量的张量。其张量分量 m_{ij}^* 表示为

$$m_{ij}^* = \hbar^2 \left/ \frac{\partial^2 \epsilon(k)}{\partial k_i \partial k_j} \right. \quad (i, j = x, y, z) \quad (2.18)$$

这个结果意味着能带 $\epsilon(k)$ 的形状对于电子的运动具有重要的意义。由式(2.12), 式(2.13)可以得到一维情况下与 $\epsilon(k)$ 对应的群速 v_g , 有效质量 m^* 与波数 k 的关系, 图2.3是这种关系的示意图。

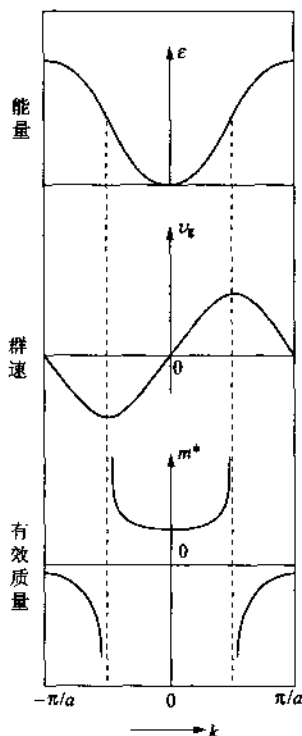


图2.3 一维能带图中的群速 v_g 和有效质量 m^*

在一定的外力下, 从布里渊区中心 $k=0$ 处出发的电子被加速到群速最大, 然后逐渐减小, 在 $k=\pi/a$ 处群速变为零。 $k=\pi/a$ 与

$k = -\pi/a$ 是等价点, 所以到达 $k = \pi/a$ 处的电子突然出现在 $k = -\pi/a$ 处。在这里, 群速方向改变并被反向加速, 在 $k = 0$ 处群速再次变为零, 返回最初的状态。就是说, 在布里渊区的 $\pi/2a$ 点, 有效质量无穷大, 这意味着电子被全反射。

2.3 电子状态密度

像式(2.4)中所看到的那样, 决定半导体在热平衡状态电学性质的要素是导带中电子及价带中空穴的密度, 以及它们的迁移率。这些电子和空穴能够输运电流, 因而称为荷电载流子或载流子(charged carrier)。现在讨论本征半导体和杂质半导体在热平衡时的电子能量分布。

假设一个边长为 L 的立方晶体, 如图 2.4 所示, 在等能面 S 上取一面积元 dS_ϵ , 它被 ϵ 和 $\epsilon + d\epsilon$ 两个等能面包围, 现在考虑 k 空间中以面积元 dS_ϵ 为底面, 高度为 dk 的体积元 $dk dS_\epsilon$ 。 K 空间中能量的梯度 $d\epsilon/dk = \text{grad}_k \epsilon(k)$ 是垂直于等能面的矢量, 所以有 $dk = d\epsilon / |\text{grad}_k \epsilon|$ 。因此, 体积元的体积可以写为

$$dS_\epsilon dk = dS_\epsilon d\epsilon / |\text{grad}_k \epsilon|$$

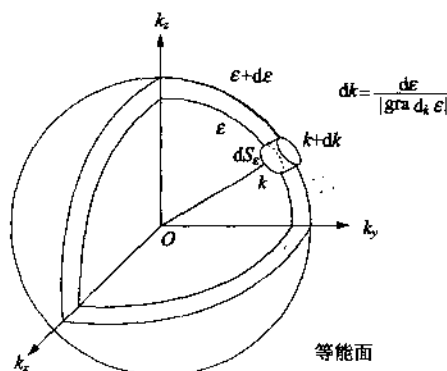


图 2.4 三维自由电子的等能面

如图 2.4 所示, k 空间中被能量为 ϵ 和 $\epsilon + d\epsilon$ 两个等能面(假定是球面)包围的区域的体积为 $4\pi k^2 dk$, 由于每 $(2\pi/L)^3$ 中存在一个能量状态, 图 2.4 中波数 k 中的能量固有值 ϵ_k 为

$$\epsilon_k = \frac{\hbar^2}{2m}(k_x^2 + k_y^2 + k_z^2) = \frac{\hbar^2 k^2}{2m} \quad (2.19)$$

假定三维下的状态密度为 $D(\epsilon)$, 利用这一关系, 并考虑到自旋, 那么可以得到能量 ϵ 到 $\epsilon + d\epsilon$ 中电子状态密度 $D(\epsilon)d\epsilon$:

$$D(\epsilon)d\epsilon = 2 \times \frac{4\pi\hbar^2 dk}{(2\pi/L)^3} = \frac{L^3}{2\pi^2} \left(\frac{2m}{\hbar^2}\right)^{3/2} \epsilon^{1/2} d\epsilon \quad (2.20)$$

图 2.5 表示 $D(\epsilon)$ 与 ϵ 的关系。在绝对零度, 费米-狄拉克概率 $f(\epsilon)$ 只有两种情况, 当 $\epsilon < \epsilon_F$ 时, $f(\epsilon) = 1$, 当 $\epsilon > \epsilon_F$ 时, $f(\epsilon) = 0$ 。因此, 电子只占据到 ϵ_F 能级。在有限温度下, 如图中的斜线所示, $f(\epsilon)D(\epsilon)$ 能量状态被电子占据。

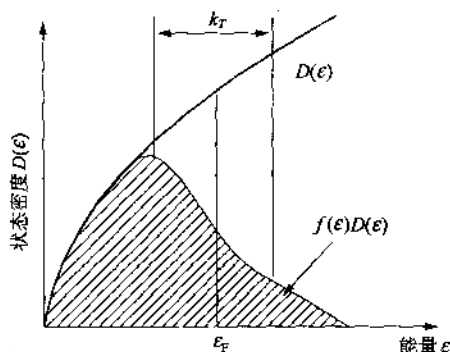


图 2.5 一维自由电子的状态密度 $D(\epsilon)$ 与电子占据状况

在室温附近, 半导体中通常载流子浓度比较小, 电子和空穴只是分别分布在导带的底部和价带的顶部。这时, 可以近似用球形等能面处理, 所以对于自由电子的状态密度可以用式(2.20)表示。如图 2.6 所示, 假定导带底的能量为 ϵ_c , 价带顶的能量为 ϵ_v , 考虑到自旋, 单位体积中能量状态密度 $N(\epsilon)$ 对于导带和价带可以分别表示为¹⁾

$$\text{导带: } N_c(\omega) d\epsilon = \frac{8\sqrt{2}\pi}{h^3} (m_e^*)^{3/2} \sqrt{\epsilon - \epsilon_c} d\epsilon \quad (\epsilon > \epsilon_c) \quad (2.21)$$

$$\text{价带: } N_v(\epsilon) d\epsilon = \frac{8\sqrt{2}\pi}{h^3} (m_h^*)^{3/2} \sqrt{\epsilon_v - \epsilon} d\epsilon \quad (\epsilon < \epsilon_v) \quad (2.22)$$

1) 对于导带中的电子, $\epsilon = \epsilon_c + \hbar^2 k^2 / 2m_e^*$, 对于价带中的空穴, 则有 $\epsilon = \epsilon_v - \hbar^2 k^2 / 2m_h^*$, 这里错开能量的原点, 将式(2.20)中的 ϵ , 对于电子表示为 $\epsilon - \epsilon_c$, 对于空穴表示为 $\epsilon_v - \epsilon$, 如图 2.6 那样, 统一表示电子状态密度。

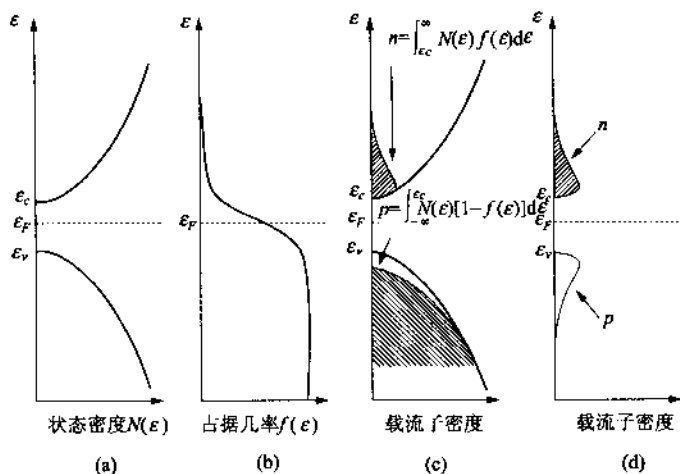


图 2.6 本征半导体的电子状态密度及电子与空穴密度的能量分布
(a) 电子状态密度 $N(\epsilon)$; (b) 费米分布; (c) 载流子密度 $n(\epsilon)$;
(d) 电子密度 n , 空穴密度 p

式中, m_e^* 和 m_h^* 分别为导带中电子和价带中空穴的有效质量。

对于不含有任何施主和受主杂质的纯净半导体, 也就是本征半导体, 由于导带中的电子是由价带中的电子热激发上去的, 可以认为导带中电子的数目等于价带中空穴的数目。

由于电子与空穴的密度相等, 所以本征半导体的费米能级处于禁带中部, 对于导带中能量为 ϵ 的电子来说, 可以认为满足 $\epsilon - \epsilon_F \gg kT$ 。所以这时费米分布 $f(\epsilon)$ 可以用玻尔兹曼分布近似。

$$f(\epsilon) = \frac{1}{\exp\{(\epsilon - \epsilon_F)/kT\} + 1} \approx \exp\left(-\frac{\epsilon - \epsilon_F}{kT}\right) \epsilon^{1/2} d\epsilon \quad (2.23)$$

同样地, 对于价带中能量为 ϵ 的空穴, 满足 $\epsilon_F - \epsilon \gg kT$, 有

$$1 - f(\epsilon) \approx 1 - \frac{1}{\exp\{(\epsilon - \epsilon_F)/kT\} + 1} \approx \exp\left(-\frac{\epsilon_F - \epsilon}{kT}\right) \epsilon^{1/2} d\epsilon \quad (2.24)$$

因此, 将式(2.21)和式(2.23)代入下式:

$$dn = N(\epsilon)f(\epsilon)d\epsilon, \quad dp = N(\epsilon)\{1 - f(\epsilon)\}d\epsilon \quad (2.25)$$

并在允许的能量范围内积分, 就可以得到导带中电子的密度 n :

$$n = \int_{\epsilon_c}^{\infty} dn = \frac{8\sqrt{2}\pi}{h^3} (m_e^*)^{3/2} \exp\left(\frac{\epsilon_F}{kT}\right)$$

$$\int_{\epsilon_c}^{\infty} \sqrt{(\epsilon - \epsilon_v)} \times \exp\left(-\frac{\epsilon}{kT}\right) d\epsilon \quad (2.26)$$

式(2.26)的积分上限应该是导带顶部的能量,但是,由于在导带顶附近,电子的占有几率 $f(\epsilon)$ 相当小,对于积分的贡献可以忽略不计,所以为方便起见,将积分上限换为 ∞ 。再作积分变量变换: $x = (\epsilon - \epsilon_c)/kT$,利用积分公式: $\int_0^{\infty} x^{1/2} e^{-x} dx = \sqrt{\pi}/2$ 和式(2.26),就可以得到

$$n = 2 \left(\frac{2\pi m_e^* kT}{h^2} \right)^{3/2} \exp\left(-\frac{\epsilon_c - \epsilon_F}{kT}\right) \equiv N_c \exp\left(-\frac{\epsilon_c - \epsilon_F}{kT}\right) \quad (2.27)$$

如果从式(2.23)和式(2.25)出发,并认为在导带底 $\epsilon = \epsilon_c$ 处集中了 N_c 个能量状态,这时利用玻尔兹曼分布得到的电子密度与上式所得到的结果是相同的。因此,把

$$N_c \equiv 2 \left(\frac{2\pi m_e^* kT}{h^2} \right)^{3/2} \quad (2.28)$$

称为导带的有效状态密度(effective density of states)。

与电子的情况完全类似,由式(2.24)和式(2.25),可以得到价带中空穴密度 p 的表达式,

$$\begin{aligned} p &= \int_{\infty}^0 dp = 2 \left(\frac{2\pi m_v^* kT}{h^2} \right)^{3/2} \exp\left(-\frac{\epsilon_F - \epsilon_v}{kT}\right) \\ &= N_v \exp\left(-\frac{\epsilon_F - \epsilon_v}{kT}\right) \end{aligned} \quad (2.29)$$

$$N_v \equiv 2 \left(\frac{2\pi m_v^* kT}{h^2} \right)^{3/2} \quad (2.30)$$

式(2.29)与价带顶上 $\epsilon = \epsilon_v$ 处集中了 N_v 个能量状态时得到的空穴数相同。因此,也把 N_v 称为对应于价带中空穴的有效状态密度。假定电子和空穴的有效质量等于自由电子质量,在 300K, $N_c = N_v = 2.5 \times 10^{19} \text{ cm}^{-3}$ 。

表 2.1 列出了 Si 和 Ge 在室温下的 N_c, N_v, μ_n, μ_p 值。

表 2.1 Si 和 Ge 主要的输运常数(300K)

	ϵ_g/eV	$\mu_n/[\text{cm}^2/(\text{V} \cdot \text{s})]$	$\mu_p/[\text{cm}^2/(\text{V} \cdot \text{s})]$	N_c/cm^{-3}	N_v/cm^{-3}	N_i/cm^{-3}
Ge	0.66	3600	1800	2.6×10^{18}	4.8×10^{18}	2.7×10^{13}
Si	1.1	1400	500	6.1×10^{18}	1.0×10^{19}	1.5×10^{10}

在本征半导体中,通常导带中的电子密度与价带中的空穴密度是相等的,称为本征密度 n_i ,由式(2.27)和式(2.29)得到

$$\begin{aligned}
 n = p = n_i &= \sqrt{np} = \sqrt{N_c N_v} \exp\left(-\frac{\epsilon_c - \epsilon_v}{2kT}\right) \\
 &= \sqrt{N_c N_v} \exp\left(-\frac{\epsilon_g}{2kT}\right)
 \end{aligned} \quad (2.31)$$

式中, $\epsilon_g = \epsilon_c - \epsilon_v$, 是导带与价带之间的禁带宽度。从式(2.31)可以看出, 本征密度是仅由材料性质和温度决定的常数。导带电子密度的对数 $\ln n$ 与绝对温度的倒数 $1/T$ 呈直线关系, 由它的斜率可以求得禁带宽度 ϵ_g 。

可以由电中性条件求出式(2.27)和式(2.29)中的费米能级。对于本征半导体, 负电荷只有电子, 正电荷只有空穴, 所以电中性条件为

$$\begin{aligned}
 n &= p \\
 \text{因此, 令式(2.27)与式(2.29)相等, 就可以解得 } \epsilon_F: \\
 \epsilon_F &= \frac{1}{2}(\epsilon_c + \epsilon_v) + \frac{1}{2}kT \ln\left(\frac{N_v}{N_c}\right) \\
 &= \frac{1}{2}(\epsilon_c + \epsilon_v) + \frac{3}{4}kT \ln\left(\frac{m_h^*}{m_e^*}\right)
 \end{aligned} \quad (2.32)$$

通常, m_h^* 是 m_e^* 的 2~6 倍, 式(2.32)等号右边的第一项比第二项大很多, 所以, 如图 2.6 所示, 本征半导体的费米能级基本上位于禁带中央 $(\epsilon_g + \epsilon_v)/2$ 处。因此, 如果满足 $\epsilon_g \gg kT$, 那么, 像式(2.22), 式(2.24)那样的玻尔兹曼统计就是一种很好的近似。与式(2.31)相同, 如果将式(2.32)得到的费米能级代入式(2.27)或式(2.29), 也可以得到电子密度或空穴密度。

在推导式(2.27)和式(2.29)时, 采用的是自由电子的状态密度和玻尔兹曼分布, 并没有特别考虑本征半导体的特性。因此, 当费米能级与导带或价带的距离比 kT 大很多, 即满足 $(\epsilon_c - \epsilon_F) \gg kT$ 或 $(\epsilon_F - \epsilon_v) \gg kT$ 时, 不管是本征半导体还是杂质半导体, 这两个表达式通常都是正确的。由式(2.27)和式(2.29)可以导出下面重要的关系:

$$np = n_i^2 = N_c N_v \exp\left(-\frac{\epsilon_g}{kT}\right) \quad (2.33)$$

就是说, 半导体的电子密度与空穴密度之积 np 仅由物理常数 m_e^* , m_h^* , ϵ_g 以及温度确定, 式(2.33)对本征半导体和杂质半导体都成立, 也与杂质能级的位置无关。把式(2.33)称为约束电子和空穴密度相对大小的质量作用定律(mass action law)。

2.4 载流子密度与温度及禁带宽度的依赖关系

如前所述,在半导体器件工程中,最大的目的是通过对器件设计所必须的半导体载流子密度、导电类型等的控制实现对它的电导率以及界面电势的控制。从这一观点出发,在器件设计中最重要的是掌握载流子密度如何随物理参数变化。这里比较详细地讨论上一节由电子状态密度 $N(\epsilon)$ 以及费米分布出发求解载流子密度的方法。

2.4.1 载流子密度与温度的关系

现在讨论图 2.6 中得到的电子密度 n 和空穴密度 p 究竟如何随温度变化。在式(2.27)和式(2.29)中,对于温度敏感的因素是费米分布 $f(\epsilon)$ 。在 300K, kT 值为 0.025eV。如式(2.23)和式(2.24)所示那样,如果可以用玻尔兹曼分布近似,那么可以发现对于导带中的电子和价带中的空穴,温度微小的变化对占据几率有数量级差别的影响。图 2.7(b)是对高温、室温和低温三种情况下费米分布变化的示意图。

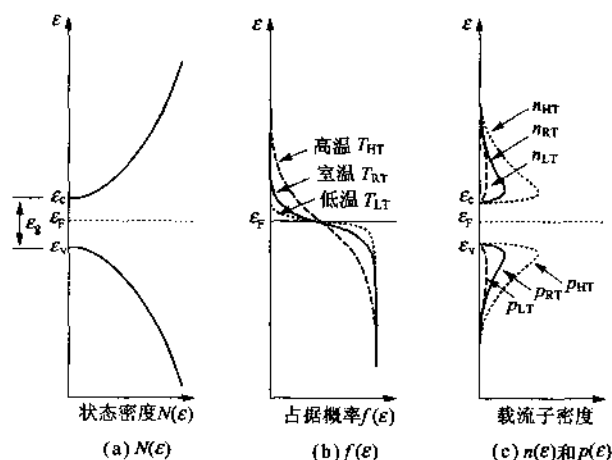


图 2.7 载流子密度 n 、 p 随温度的变化

如图 2.7(c) 所示, 与 $f(\epsilon)$ 的变化相对应, 载流子密度的情况发生了大的变化。例如, 硅的禁带宽度是 1.1eV, 是典型的半导体, 它在液氮温度(4.2K)时几乎呈现绝缘体的行为, 但是到 200℃ 以上却可以看作是与金属相同的良导体。

2.4.2 载流子密度随禁带宽度的变化

图 2.8 是温度为室温附近某一确定值, 也就是 $f(\epsilon)$ 的形状确定的情况下, 禁带宽度 ϵ_g 改变时, 载流子密度变化的示意图。从图中可以看出, 图(a)是不同禁带宽度半导体的电子状态密度, 相对应的载流子密度与能量的关系示于图(c)。图中, 三种不同半导体的禁带宽度分别为: 宽禁带宽度半导体 ϵ_{gWG} , 中等禁带宽度半导体 ϵ_{gMG} 和窄禁带宽度半导体 ϵ_{gNG} 。

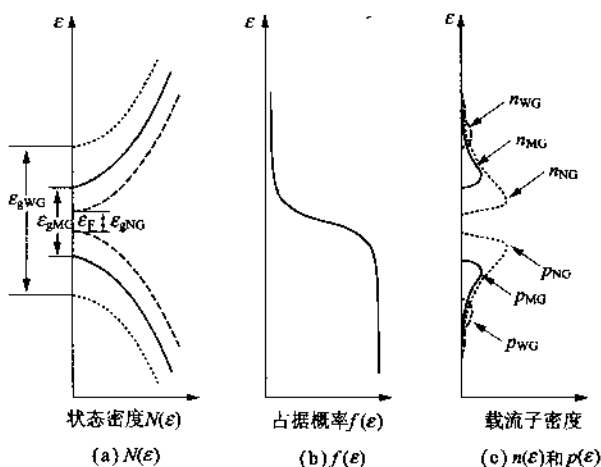


图 2.8 载流子密度 n, p 与禁带宽度的关系
(WG(wide gap), MG(media gap), NG(narrow gap))

就是说, 在室温附近随着禁带宽度变宽, 载流子密度急剧减少而接近绝缘体。相反, 当禁带宽度变窄时, 载流子密度以指数关系增加成为良导体。所以, 可以把金属称为禁带宽度为零的半导体。

2.4.3 载流子密度与费米能级位置的关系

通过向半导体中掺入替位型的施主或受主杂质, 可以使半导

体成为电子过剩型,即 n 型半导体(negative charge carrier dominated semiconductor);或者相反,成为空穴过剩型,即 p 型半导体(positive charge carrier dominated semiconductor)。这种通过掺入杂质调整导电类型的方法称为价电子控制(valency electron control)技术。

关于这种技术的理论问题在相关教科书中有详细介绍,不过这并不妨碍在半导体器件工程课中讨论它对费米能级位置影响的问题。图 2.9 描述价电子控制技术对费米能级位置的影响,在图 2.9(c)中是对载流子密度的影响。图中,对 n 型半导体,多数载流子为 n_n ,少数载流子为 p_n ,同样,对 p 型半导体, p_p 、 n_p 分别为多数和少数载流子。这些载流子密度可以在确定了式(2.27)和式(2.29)中 ϵ_F 的变化后数值化。

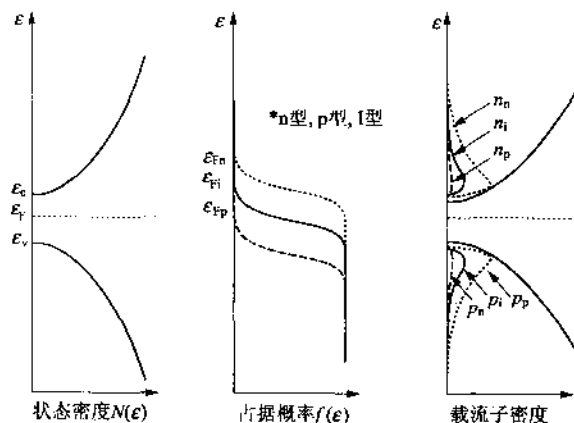


图 2.9 载流子密度 n, p 与费米能级 ϵ_f 的关系

练习题

1. 物质按照电导率的大小可以分为金属、半导体和绝缘体。试通过禁带宽度的大小以及费米能级随温度的变化说明之。
2. 试分别求出 Si, Ge, GaAs 在室温(300K)时导带和价带的有效状态密度和本征密度。计算时,采用下表中给出的禁带宽度和有效质量数据(表中的 m_0 是自由电子的质量):

	Si	Ge	GaAs
ϵ_g	1.1eV	0.67eV	1.43eV
m_e^*/m_0	0.33	0.22	0.07
m_h^*/m_0	0.5	0.3	0.5

3. 试说明载流子迁移率与温度的关系,并说明为什么在某一温度具有最大值。

第 3 章

半导体界面的电子现象

半导体器件在电子技术领域得到了广泛的应用。如果注意它的工作原理,就会发现几乎所有的物理现象都利用了半导体的界面性质。例如,二极管、晶体管、发光二极管以及激光器、太阳能电池等,都是利用了半导体的表面电势或 pn 结扩散电势在外界光或电的作用下产生的物理效应而实现器件功能的。人们对界面物理的研究有相当长的历史,并积累了大量的研究成果,但是目前仍然有不少问题不甚明了。这是一个充满神秘魅力的研究领域。

本章,首先概述半导体表面的电子性质,然后就 pn 结、异质结、晶粒间界等半导体-半导体界面,以及半导体与金属、半导体与绝缘层界面的电子现象等问题,讨论它们在实际应用方面的基本理论。

3.1 半导体的清洁表面与实际表面及其电子状态

单晶半导体在高真空中能够沿着某些确定方位的晶面劈裂,这样的晶面称为解理面。如图 3.1 所示,在断面处晶体排列中断,变成失去电子结合对象的键,也就是成为未饱和的键,称它为自由悬挂键(free dangling bond)。悬挂键处于化学活性状态,具有吸附气体分子,促进催化等化学反应的能力。

在附近存在其他悬挂键的情况下,悬挂键上的电子可以与其他电子在悬挂键之间相互交换,从而处于更稳定的状态。像真空解理面那样的几乎没有吸附任何异种气体分子的表面被称为清洁表面。但是,暴露在空气中的实际半导体表面上,总存在吸附着的气体分子或原子,它们对晶体的电子状态有影响,使得电子的性质变得非常复杂。在这里首先介绍清洁表面的电子状态,然后讨论有某种吸附情况下典型的表面状态。

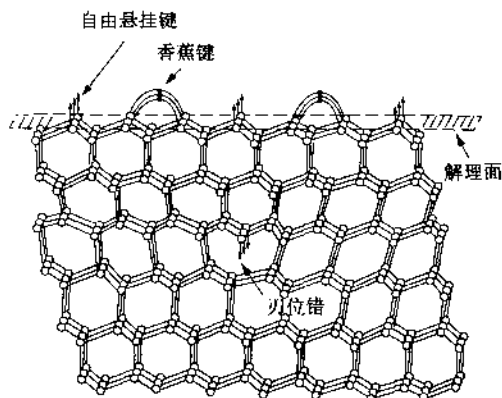


图 3.1 清洁表面上的自由悬挂键与刃位错

图 3.2 是表面附近电子势场的 2 种近似描述方法,以及由此得到的表面电子状态。图中(a)假设在晶体内部的势场是克龙尼克·潘纳型,是高度为 u 周期性阱状势场,在表面处存在有直角形陡然变化的势垒 ϕ_w ,其能带如图(b)所示,从内部到表面都具有相等的禁带宽度。但是,由于表面处晶体势场周期性被破坏,在表面附近与直角形势垒 ϕ_w 的连接点处,形成了(处于禁带中)局域能级。把这种局域能级称为塔姆能级(Tamm states)。

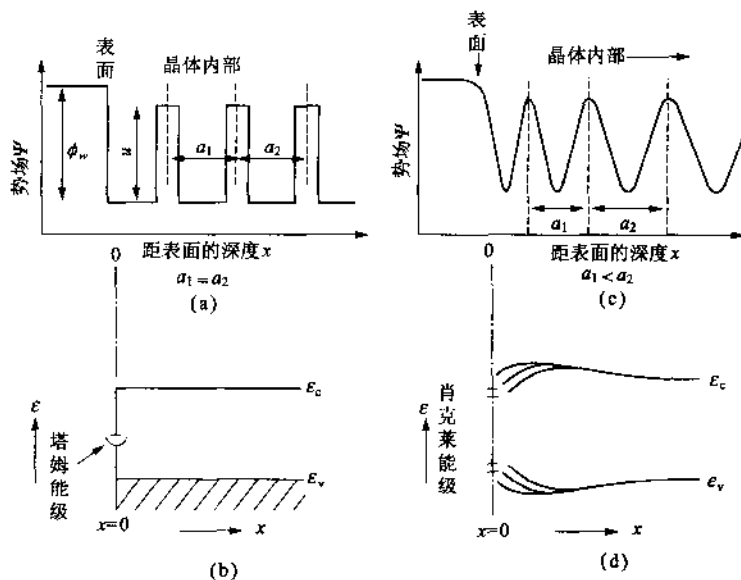


图 3.2 形成表面能级的表面附近势场模型与表面能级模型

另一种模型如图(c)所示,认为在沿表面的方向上存在有相邻的原子,由于没有来自外侧的结合力,所以表面原子中有一部分被拉向内部。这种情况下,随着接近表面,晶格间距减小,导致在表面附近禁带宽度增大的同时,在表面处形成分布于一定能量范围内的局部能级。这样形成的能级称为肖克莱能级(Shockley surface states)。这两种模型的不同之处在于,塔姆能级对应于一个局域能级,而肖克莱能级则成为具有某种连续扩展地向晶体内部渗透的能级群。

我们分析这种表面能级的影响。例如,如果是 n 型半导体,高密度的表面能级上浮获有来自导带的电子,那么表面费米能级会被表面能级钉扎。因此,在表面附近就像图 3.3 所示的那样,表面能带向上弯曲,甚至会形成表面 p 型反型层(surface inversion layer)。在热平衡状态,导致能带向上弯曲的电势称为表面电势(surface inversion),用 ϕ_s 表示。如果 n 型半导体的施主密度为 N_D ,介电常数为 ϵ_s ,对于图 3.3 所示的一维模型,可以用泊松方程描写表面附近的电势 $\phi(x)$:

$$\frac{d^2\phi(x)}{dx^2} = \frac{eN_D}{\epsilon_0\epsilon_s} \quad (3.1)$$

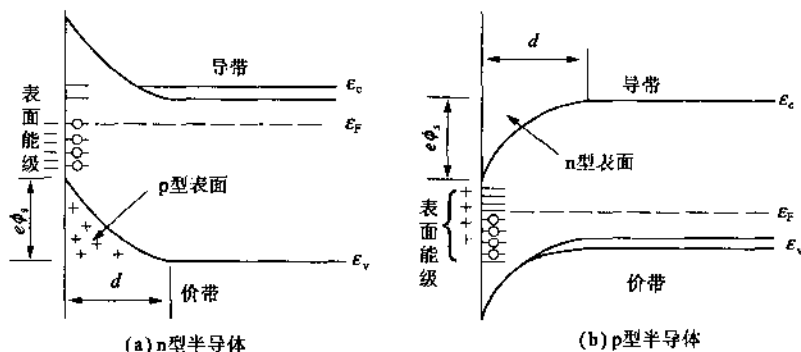


图 3.3 由于存在表面能级使表面形成反型层

表面俘获的电荷为 eN_s ,它与宽度为 d 的半导体表面空间电荷层中的电荷 $eN_D d$ 相平衡。利用这种电荷平衡式,解式(3.1),可以求得表面电势 ϕ_s 和空间电荷层宽度 d :

$$\phi_s = \frac{eN_D}{2\epsilon_0\epsilon_s} d^2 = \frac{eN_s}{2\epsilon_0\epsilon_s} d = \frac{eN_s^2}{2\epsilon_0\epsilon_s N_D} \quad (3.2)$$

$$d = \left(\frac{2\epsilon_0\epsilon_s\phi_s}{eN_D} \right)^{1/2} \quad (3.3)$$

由式(3.1)得到的 $\phi(x)$ 是 x^2 的函数,它将形成后面要讲到的肖特基势垒阻挡层。

如图3.4所示,暴露在空气中的半导体表面上存在有肖克莱能级的同时,通常还会形成一层极薄的氧化层,氧化层介于被表面吸附的离子与半导体内部的空间电荷之间,保持电荷的平衡。这样形成的与表面吸附离子以及氧化膜内的深能级相关联的表面电子现象通常具有很慢的弛豫时间,所以称这种表面能级为慢表面态¹⁾(slow states)。与此相对,半导体与氧化膜之间的界面能级与表面层的电子交换具有比较快的弛豫时间,称为快表面态²⁾(fast states)。因此,实际半导体表面的电子现象由于与这两种表面能级相关联的电荷弛豫现象混杂发生,所以呈现出非常复杂的状况。第六章将详细阐述表面存在氧化膜时的情况。

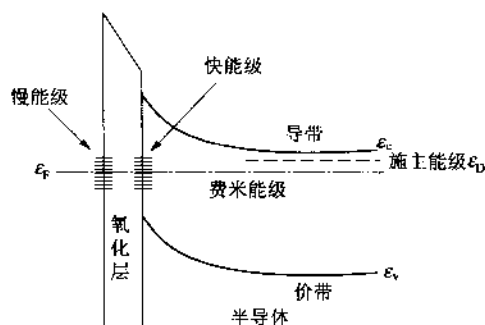


图 3.4 表面有氧化层时的半导体表面能级模型

3.2 pn 结

结晶态的 n 型半导体与 p 型半导体相结合所形成的半导体界面称为 **pn 结**。pn 结是通过向 n(或者 p)型半导体中掺入受主(或施主)杂质形成的。实际的方法有(a)将含有杂质的金属合金化的合金法;(b)由气相或固相热扩散的扩散法;(c)将杂质原子离子化

1) 例如, Si 表面存在 SiO_2 膜时的弛豫时间是 $10^{-3} \sim 10^{-2}$ 秒的数量级。

2) 具有 $10^{-7} \sim 10^{-5}$ 秒的数量级。

并用强电场加速,注入到基底表面的离子注入法。还有以 n 型(或 p 型)晶体为基底,在其上外延生长 p(或 n 型)结晶薄膜的方法,包括(d)气相和(e)液相外延生长法,以及(f)用直拉法从液相生长晶体过程中,利用杂质偏析的温度特性的变速生长法。

现在分析 pn 结的能带图。图 3.5(a)是以真空能级为基准, n 型和 p 型半导体各自独立的能带图。图中的 χ 是导带底的电子进入真空所需的能量,称为电子亲和能(electron affinity)。与此相对应,从真空能级到费米能级的电子能量差称为功函数。像图 3.5 中所示的 ϕ_{wp} 和 ϕ_{wn} 那样,即使同一种半导体,也会因导电类型和载流子密度不同而具有不同的值。电子分布在导带底附近的能级上,因此,当 p 型半导体与 n 型半导体结合时,密度高的 n 型半导体的电子流向电子密度低的 p 型区,而空穴则正好相反。

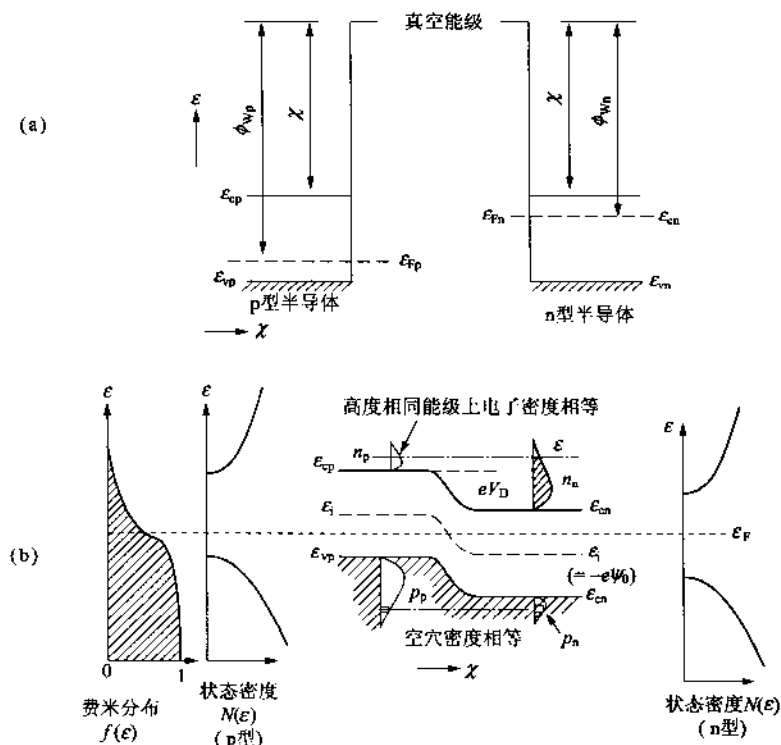


图 3.5 p 型、n 型半导体的能带图(a)和热平衡状态的 pn 结能带图与平衡载流子密度

载流子的转移一直继续到占据 n 型和 p 型两侧的允带(allowed band)中的所有能级上的电子和空穴保持平衡。由于这种载流子的交换,导致在 pn 结界面附近的 n 型区一侧电子不足,出现了荷正电的电离施主空间电荷。相反,在 p 型区一侧,产生带负电的电离受主空间电荷。这时,如图 3.5(b)所示,在 pn 结界面处感应出与结合前的费米能级差相当的能量势垒 eV_D 。把这个电势差 V_D 称为 pn 结的扩散电势(diffusion potential)。把存在扩散电势的区域称为由 p 型向 n 型转换的渡越区(transition region)。就是说,在渡越区,电离施主和电离受主构成了空间电荷层。如前所述,过渡区中的载流子密度低于体内密度,所以又把渡越区称为耗尽层(depletion layer)。

在 pn 结能带图中,为了统一表示各部分的载流子密度,有必要建立反映 pn 结两侧特性的能量基准点。如果把图 3.5(b)中用虚线表示的禁带中心能量 $\epsilon_c(x) = -e\psi_0$ 确定为基准点,那么对随后将讨论的非平衡状态下载流子密度的计算也带来方便。这样将式(2.27)和式(2.29)与图 3.5(b)比较,就可以写出 pn 结两侧的电子密度 $n(x)$ 和空穴密度 $p(x)$

$$\begin{aligned} n(x) &= N_c \exp\left\{-\frac{\epsilon_c(x) - \epsilon_F}{kT}\right\} = n_i \exp\left(\frac{\epsilon_F + e\psi_0}{kT}\right) \\ p(x) &= N_v \exp\left\{-\frac{\epsilon_F - \epsilon_v(x)}{kT}\right\} = n_i \exp\left(-\frac{\epsilon_F + e\psi_0}{kT}\right) \end{aligned} \quad (3.4)$$

式中, n_i 是本征状态的载流子密度。另外, pn 结两侧的多数载流子密度 n_n, p_p , 少数载流子密度 n_p, p_n 与扩散电势之间具有如下关系:

$$\frac{n_n}{n_p} = \frac{p_p}{p_n} = \exp\left(\frac{eV_D}{kT}\right) \quad (3.5)$$

由于 pn 结是半导体器件应用中最基本的界面,所以在第四章还要作进一步讨论。

3.3 异质结

具有不同晶面和晶格常数的两种半导体,考虑到它们之间的晶格匹配而结合起来形成的结称为异质结¹⁾(heterojunction)。在

1) 与此相对应,把前一节所讲的 pn 结称为同质结(homojunction)。

异质结界面附近,由于两种材料的晶格常数、热膨胀系数以及机械强度等方面的差异,通常,在数十原子层范围内存在有刃位错、晶格畸变以及因互扩散导致的杂质原子分布不均匀,因而会形成局域能级。另外,由于两种半导体材料的禁带宽度和电子亲和能的差异,在能带图上会出现“飞起”,以及“尖峰”、“凹口”之类的能带突变。

图 3.6(a)是金刚石结构的半导体以(111)面为界面形成的异质结的晶格模型图,图中假定局域能级集中在界面附近。图 3.6(b)是相应的能带图。

如果巧妙地利用能带的突变和两种材料载流子密度的差异,能够提高载流子的注入效率,利用能带的势垒可以实现“载流子的关闭”,这些电学特性和光电现象在同质 pn 结中是看不到的。

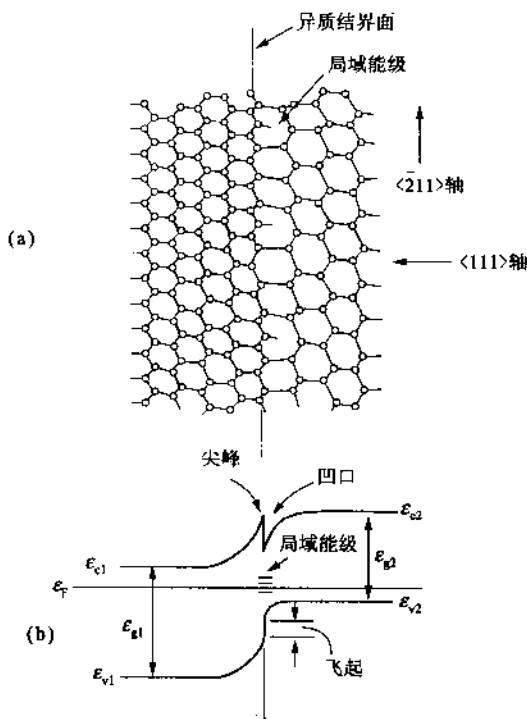


图 3.6 半导体异质结界面

(a)金刚石结构晶体(111)面异质结的晶格模型(从(011)截面看到的图);(b)异质结界面的能带模型图

异质结采用的两种材料的光学常数和介电常数是不同的,利用这一点,可以改善对光或电磁波的吸收能力,或者形成无反射

层。异质结具有性质不同的两种材料的复合功能,所以,在应用物理领域是一种很有趣味的固体界面。为了研究异质结的电学性质,对于异质结的能带形状一般有如下三种简化模型:

(1) 晶格匹配突变异质结(lattice matching abrupt heterojunction)。

(2) 晶格不匹配突变异质结(lattice mismatching abrupt heterojunction)。

(3) 合金层界面异质结(alloyed interface heterojunction)。

其中,模型(1)的两种半导体的晶格常数几乎相等,认为可以忽略其界面处的局域能级。模型(2)的晶格常数不相等,在界面附近存在局域能级,但是认为它集中在界面处,近似地看作是所谓的界面态。最后的模型(3)认为在界面处两种材料的原子混合,形成一定厚度的合金层,假定在这里,禁带宽度平稳地变化,与此同时,忽略其界面局域能级的影响。

实际制造的异质结究竟更接近哪一种模型,将取决于这两种材料晶格常数失配的程度、晶型及晶面的一致程度以及异质结的制作技术。

表 3.1 列举出一些能够构成异质结的材料及其物理性质,这些材料之间具有较好的晶格匹配和热膨胀系数匹配。表中的大多数材料是金刚石结构或闪锌矿结构,最后两种是结晶类型不同的材料组合。就是说,闪锌矿结构的(111)面与纤维锌矿结构的c面都具有3度对称的晶体配位(例如,InP的晶格间距是 2.533\AA ,而CdS的c面晶格间距大约等于 2.532\AA ,基本上相等)。因此,在这种场合,即使结晶类型不同的材料也能够形成良好的异质结。图 3.7 是这种组合的晶格模型图。

以上讨论了异质结能带图的3种近似法。实际上,由于材料常数一致性或制造方法的原因,即使认为适合于某种模型,由于宽禁带(wide gap,以下用W表示)侧与窄禁带(narrow gap,以下用N表示)侧的电导类型不同,具有如图 3.8 所示的形状完全不同的4种能带图。而且如图所示,“尖峰”或“凹口”的大小也因为电子亲和能不同而发生很大的差异。

以图 3.8 中的异质结为例,对于图中完全不同的4种能带图,由于在界面处的极性、“尖峰”或“凹口”以及“飞起”的形状不同,穿过界面的载流子输运特性或光电特性会截然不同。除了在同质pn结中具有整流作用或光生伏特效应等现象之外,异质结还具有

表 3.1 具有良好晶格匹配的异质结组合材料以及物理常数

晶体结构	组合材料	禁带宽度/eV	晶格常数/Å	基本吸收跃迁	热膨胀系数/ ($\times 10^{-6} \text{ } ^\circ\text{C}^{-1}$)	推荐导电类型	杂质	电子亲和能/eV
同种晶体结构的组合	$\text{Ge}_{0.9}\text{Si}_{0.1}$	0.77	(5.63)	I ¹⁾	—	n	P, As, Sb	(4.1)
	Ge	0.66	5.658	I	5.7	p	Al, Ga, In	4.13
	GaAs	1.43	5.654	D	5.8	n	Se, Te	4.07
	Ge	0.66	5.658	I	5.7	p	Al, Ga, In	4.13
	ZnSe	2.67	5.667	D	7.0	n	Al, Ga, In	4.09
	Ge	0.66	5.658	I	5.7	p	Al, Ga, In	4.13
	ZnSe	2.67	5.667	D	7.0	n	Al, Ga, In	4.09
	GaAs	1.43	5.654	D	5.8	p	Zn, Cd	4.07
	AlAs	2.15	5.661	I	5.2	p	Zn	3.5
	GaAs	1.43	5.654	D	5.8	n	Se, Te	4.07
	GaP	2.25	5.451	I	5.3	n	Se, Te	4.3
	Si	1.11	5.431	I	2.33	p	Al, Ga, In	4.01
	$\text{GaAs}_{0.4}\text{P}_{0.6}$	1.91	5.56	D	—	n/p	Se, Te/Zn, Cd	—
	GaAs	1.43	5.654	D	5.8	p/n	Zn, Cd/Se, Te	4.07
	$\text{Ga}_{0.4}\text{Al}_{0.6}\text{As}$	2.04	5.65	I	—	p	Zn, Cd	4.07
	GaAs	1.43	5.654	D	5.8	p/n	Zn, Cd/Se, Te	4.07
	AlSb	1.6	6.136	I	3.7	n/p	Se, Te/Zn, Cd	3.65
	CaSb	0.68	6.095	D	6.9	p/n	Zn, Cd/Se, Te	4.06
	GaSb	0.68	6.095	D	6.9	n	Se, Te	4.9
	InAs	0.36	6.058	D	4.5(5.3)	p	Zn, Cd	4.9
	ZnTe	2.26	6.103	D	8.2	p	Cu	3.5
	GaSb	0.68	6.095	D	6.9	n	Se, Te	4.06
	ZnTe	2.26	6.103	D	8.2	p	Cu	3.5
	InAs	0.36	6.058	D	4.5(5.3)	n	Se, Te	4.9
	ZnTe	2.26	6.103	D	8.2	p	Cu	3.5
	AlSb	1.6	6.136	I	3.7	n	Se, Te	3.65
	CdTe	1.44	6.477	I	—	p/n	Li, Sb, P/I	4.28
	PbTe	0.29	6.52	I	—	n/p	Cl, Br/Na, K	—
	CdTe	1.44	6.477	D	—	p	Li, Sb	4.28
	InSb	0.17	6.479	D	4.9	n	Se, Te	4.59
异种晶体结构	ZnTe	2.26	6.103	D	—	p	Cu	3.5
	CdSe(hex)	1.7	$4.3(\sqrt{2})$ =6.05	D	—	n	Cl, Br, I	4.95
	CdS(Wurtz.)	2.42	$4.13(\sqrt{2})$ =5.85	D	—	n	Cl, Ca, I, Al	4.5
	InP	1.34	5.869	D	—	p/n	Cd, Zn/Se, Te	4.38

1) D: 直接跃迁 I: 间接跃迁

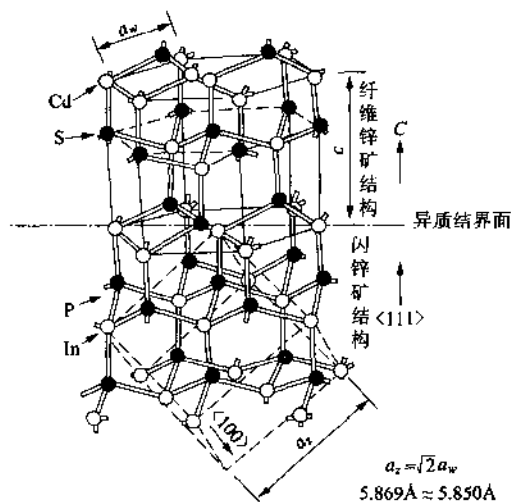


图 3.7 晶体结构不同的半导体形成的异质结界面晶格模型
(以 InP(闪锌矿结构)/CdS(纤维锌矿结构)异质结为例)

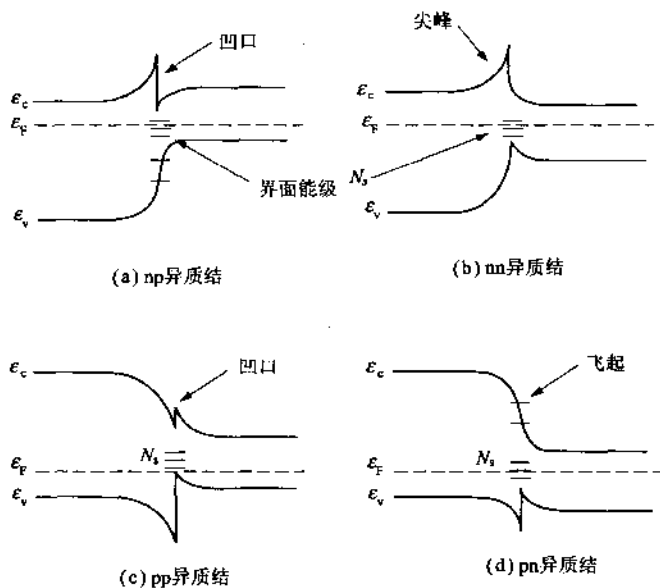


图 3.8 W-N 晶格不匹配突变型异质结的能带图

独特的电子现象。列举在材料应用上几个重要而有趣的例子如下：

(1) 在结区形成能带的“飞起”，可以提高少数载流子注入效率，起到电子和空穴的有效发射极电极的作用。

(2) 能带的突变具有阻止载流子从另一方向注入的势垒的作用，看做是关闭载流子效应。

(3) 界面处的局域能级，对界面处的载流子具有复合中心或陷阱中心的作用，另一方面，这些局域能级又是在强电场下产生的隧道电流的中继，起着一种居间能级的作用。

(4) 另外，这种局域能级还起到光或电场激发载流子的跃迁能级的作用。

(5) 对于 nn 或 pp 这种所谓的同型(isotype)异质结，通过选择适当的禁带宽度和电阻率的两种材料，可以得到与 pn 结同样的扩散电势的极性，它具有对多数载流子进行控制的整流作用。

以上所述电子的性质是同质 pn 结所不具备的。巧妙地利用这些性质，在双极异质结激光器或高效率异质结太阳能电池等产生异质结独特功能的应用器件中已经实用化。

3.4 金属-半导体界面

金属与半导体接触能够形成半导体器件的欧姆接触电极，也可以形成如点接触二极管或肖特基二极管那样的整流接触，这些性质长期以来受到人们的重视，并且得到了广泛的应用。早在 1874 年业已发表了针对金属探针扎在半导体上出现的整流接触现象的实验室研究论文，在 1904 年已经产生了检波器的专利。1931 年提出了理论研究的威尔逊(Wilson)模型，后来又相继提出了肖特基(Schottky)(1938 年)和莫特(Mott)(1938 年)势垒模型，甚至可以说对这种半导体界面的研究与下一章将要介绍的二极管或晶体管的发明有着密切的联系。半导体与金属接触究竟是形成整流接触或是欧姆接触，这个问题与上一节所述的异质结情况相同，取决于两种材料的功函数之差以及半导体的电子亲和能。这里，首先讨论受金属的功函数以其电场影响的肖特基效应¹⁾。

1) 金属的功函数问题本来应在 pn 结之前介绍，但是，像整流效应之类势垒的概念，在学习了 pn 结和异质结能带模型后比较容易理解，现在一个问题是金属的 ϕ_m 值因表面状态等因素有大的变化，而对它的基本性质尚有许多不甚了解，所以先介绍读者易于理解的 pn 结。

金属中的电子有靠热运动能量逸出金属的热电子发射,也有靠光的能量放出电子的光电子发射(外部光电效应)。对于金属与真空的界面,把金属中的电子逸出到真空中所需要的最低能量称为功函数(work function),用 ϕ_m 表示。这种状态的能带图如图3.9(a)所示,可以认为是电子由金属的费米能级越过高度为 ϕ_m 的势垒飞出到真空中去。 ϕ_m 的值通常用热电子发射或光电子发射等多种实验方法测定,其结果如表3.2所示,有较大的分散性¹⁾。

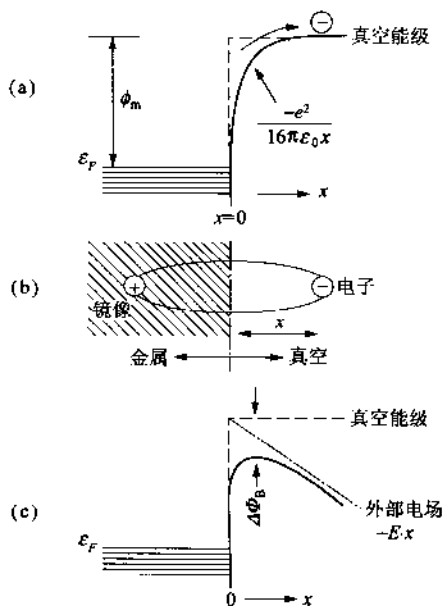


图 3.9 金属-真空界面处的势垒

(a) 没有外部电场时的能带图; (b) 镜像效应示意图;

(c) 有外部电场 E 时, 势垒降低 $\Delta\phi_B$

ϕ_m 是指从金属释放出电子所需的最低能量, 只是最外壳层的电子参与, 所以可以认为它与原子序数对应而且具有周期性。图3.10是按与原子序号对应的清洁金属的能级画出的。

下面, 分析在距金属表面 $x=0$ 距离为 x 的点处曳出一个电子

1) 例如因测量方法和测量条件不同, Al 的 ϕ_m 值在 2.98~4.36eV 范围。这是因为 Al 是比较活泼的材料, 很难得到清洁的表面。

表 3.2 金属的功函数 ϕ_m 和电负性 E_N

金属	平均值 ϕ_m/eV	测量值 范围/eV	电负性 E_N/eV	金属	平均值 ϕ_m/eV	测量值 范围/eV	电负性 E_N/eV
Mg	3.46	2.74~3.79	1.2	Ag	4.23	3.09~4.81	1.9
Al	4.20	2.98~4.36	1.5	Cd	(4.08)	3.68~4.49	1.7
Si	($\chi_s=4.01$)		1.8	Sn	4.11	3.12~4.64	1.7
Cu	4.47	3.85~5.61	1.9	Mo	4.28	4.08~4.48	-
Zn	(3.86)	3.08~4.65	1.6	Au	4.58	4.0~5.2	2.4
Ge	($\chi_s=4.13$)		1.7	W	4.63	4.25~5.01	2.3
Ni	4.84	3.67~5.24	1.8	Pt	5.48	4.09~6.35	2.2

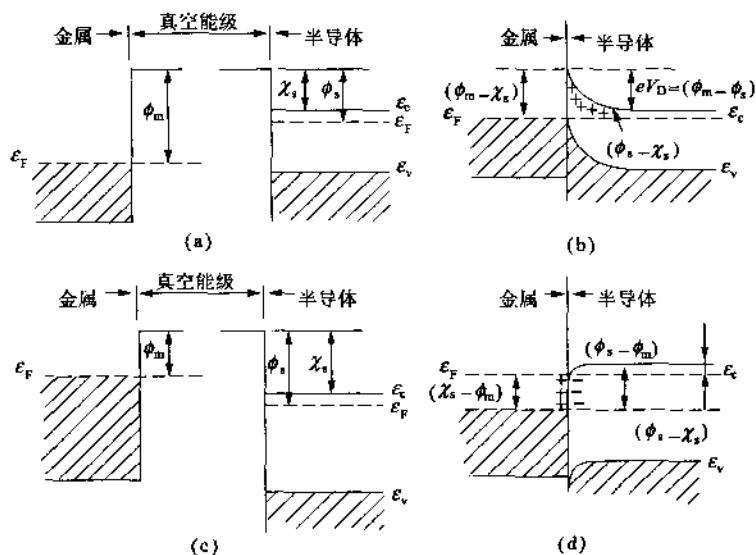


图 3.10 n型半导体与金属接触的能带图

 $\phi_m > \phi_s > \chi_s$: (a) 接触前, (b) 整流接触 $\phi_m < \chi_s < \phi_s$: (c) 接触前, (d) 欧姆接触

的情况。金属是理想导体, 它的表面是等电位, 从电子发出的电力线必须垂直地入射金属表面。就是说, 考虑到图 3.9(b) 所示的镜像效应, 点 x 处电子所受到的力应遵守库仑定律:

$$F = \frac{e^2}{4\pi\epsilon_0(2x)^2} \quad (3.6)$$

式中, ϵ_0 是真空介电常数, e 是电子电荷。因此, 点 x 处电子的势能 $\phi(x)$ 等于将式 3.6 从 $x=\infty$ 积分到 x , 即

$$\phi(x) = \frac{-e^2}{16\pi\epsilon_0 x} \quad (3.7)^{1)}$$

图 3.9(a)的实线是 $\phi(x)$ 曲线, 它表示金属表面的势垒形状。

当金属表面吸附有气体, 或与半导体相接, 在 x 方向上外加电场 E 的情况下, 点 x 处的电子势能降低了 eEx , 即

$$\phi'(x) = \frac{-e^2}{16\pi\epsilon_0 x} - eEx \quad (3.8)$$

$\phi'(x)$ 变为图 3.9(c)所示的形状, 在点 $x = (e/16\pi\epsilon_0 E)^{1/2}$ 处为最大值, 金属界面的势垒降低了 $\Delta\phi$:

$$\Delta\phi = \left(\frac{eE}{4\pi\epsilon_0} \right)^{1/2} \quad (3.9)$$

例如, 如果外加电场为 $E = 10^6$ (V/m), 那么, 势垒的顶点出现在 $x = 23.5$ nm 处, $\Delta\phi = 39$ (meV)。这种由于外加电场导致金属势垒降低的现象称为肖特基效应 (Schottky effect)。

功函数为 ϕ_m 的金属与亲和能为 χ_s 、功函数为 ϕ_s 的半导体结合时, 与异质结的情况相同, 金属的费米能级与半导体导带底的距离为 ϕ_B :

$$\phi_B = \phi_m - \chi_s - \Delta\phi \quad (3.10)$$

它相当于能带的突变。式中 $\Delta\phi$ 是由于界面电场导致势垒的降低。

ϕ_B 值的正负取决于 ϕ_m, χ_s 的大小和 $\Delta\phi$ 的符号, 以 n 型半导体为例, 假定取 $\Delta\phi$ 为零, 这时能带图如图 3.10 所示, 图 3.10(a) 是 $\phi_m > \phi_s > \chi_s$ 的情况, 如果形成结, 由于 $\phi_m > \phi_s$, 半导体中的自由电子将向金属流动, 同时在界面附近形成由电离施主构成的空间电荷区, 在这里, 能带上抬。这种电子的流动一直持续到金属与半导体的费米能级一致, 电子的能量分布再次达到平衡。其结果, 对于金属中的电子来说出现了高度为 $\phi_m - \chi_s$ 的势垒, 对导带中的电子而言, 产生了扩散电势, 其值为 $V_D = (1/e)(\phi_m - \phi_s)$, 这时当外加偏压的极性发生变化时, 流过结区的电流大小不同, 形成所谓的整流接触。

这样的金属-半导体整流结称为肖特基势垒 (Schottky barrier)。对于 $\phi_m < \chi_s < \phi_s$ 的情况, 形成结的能带图如图 3.10(c) 所示, 式 (3.10) 的 ϕ_B 为负值, 那么, 它对于金属一侧的电子也好, 对半导体一侧的电子也好, 都不存在事实上的势垒, 成为欧姆接触。同样

1) 式 (3.7) 在 $x=0$ 处不能认为 $\phi(0) \rightarrow -\infty$ 。这是按镜像效应进行数字计算的结果, 不具有物理意义。例如, 在 $x=3\text{\AA}$ 处 $\phi(x)$ 约为 1eV , 所以该式适用于 x 为数百埃以上的情况。

地,对 p 型半导体与金属接触的情况,当 $\phi_m < \chi_s < \phi_s$ 时形成整流接触,反之,当 $\phi_m > \phi_s > \chi_s$ 时形成欧姆接触。所以,由于半导体与金属的界面特征出现重大差异,在本质上是因为 ϕ_m 与 χ_s 大小的缘故。

将表 3.2 中的 χ_s 与 ϕ_m 相比较,就可以对哪些材料的组合能形成肖特基势垒或欧姆接触得出适当的判断。表 3.3 是一些代表性的半导体与金属接触形成的 ϕ_B 在 300K 时的测定值。

表 3.3 主要的半导体与金属接触形成的肖特基势垒高度 ϕ_B (eV, 300K)

电 极 半 导 体 金 属	Si	Ge	SiC	GaP	GaAs	ZnS	ZnSe	CdS
Al	0.50~0.77	0.48	2.0	1.05	0.80	0.8		欧姆接触
Ag	0.56~0.79			1.20	0.88	1.65		0.35~0.56
Au	0.81	0.45	1.95	1.30	0.90	2.0	1.36	0.68~0.78
Cu	0.69~0.79	0.48		1.20	0.82	1.75	1.10	0.36~0.50
Mg				1.04		0.82	0.70	
Ni	0.67~0.70							0.45
Pb	0.40~0.79							
Pd	0.71					1.87		0.62
Pt	0.90			1.45	0.86	1.84	1.40	0.85~1.1
PtSi	0.85							
W	0.66	0.48						

下面分析图 3.11 所示的 n 型半导体与金属接触形成的肖特基势垒的参数。为简单起见,忽略界面态及镜像效应对势垒高度的影响,势垒区的空间电荷是由半导体一侧势垒区中的电离施主构成。半导体的相对介电常数为 ϵ_s , 施主密度为 N_D , 那么势垒区的电势 $\phi(x)$ 可由泊松方程求出:

$$\frac{d^2\phi}{dx^2} = -\frac{eN_D}{\epsilon_0\epsilon_s} \quad (3.11)$$

当金属一侧加正偏压 V , 边界条件为在 $x=d$ 处, $\phi=V_D-V$, $d\phi/dx=0$, $x=0$ 处, $\phi=0$ 时, 求解式(3.11), 得到势垒区厚度 d 为

$$d = \left\{ \frac{2\epsilon_0\epsilon_s(V_D-V)}{eN_D} \right\}^{1/2} \quad (3.12)$$

以硅为例, 如果 $N_D=10^{20} \text{ m}^{-3}$, $\epsilon_s=12$, $V_D-V=0.5 \text{ V}$, 得到 d 约为 $3\mu\text{m}$ 。另外, 界面电场为

$$E(x) = \frac{eN_D}{\epsilon_0\epsilon_s}(d-x) = E_{\max} - \frac{eN_D}{\epsilon_0\epsilon_s}x \quad (3.13)$$

E_{\max} 是 $x=0$ 处的电场, 是最大电场。电势分布 $V(x)$ 为

$$V(x) = \frac{eN_D}{\epsilon_0\epsilon_s} \left(dx - \frac{1}{2}x^2 \right) - \phi_B \quad (3.14)$$

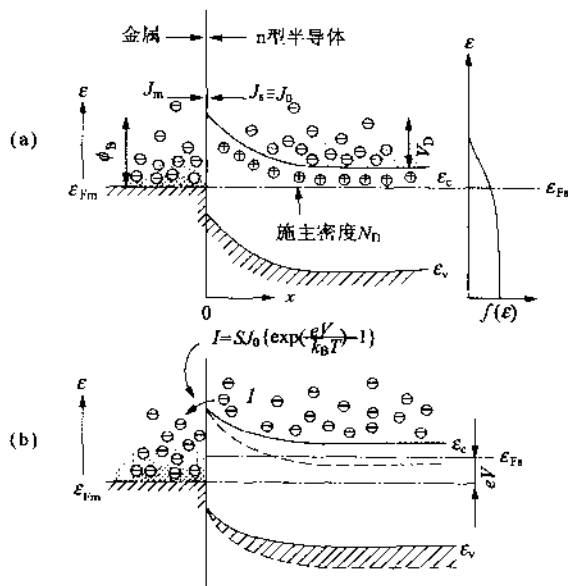


图 3.11 n 型半导体与金属接触形成的肖特基势垒
(a) 热平衡状态; (b) 有正向偏压 V 时的状态

可以看出肖特基势垒呈抛物线型。势垒的电容由 $C = \epsilon_0 \epsilon_s / d$ 得到下式:

$$C = S \left(\frac{e \epsilon_0 \epsilon_s N_D}{2} \right)^{1/2} (V_D - V)^{-1/2} \quad (3.15)$$

式中, S 是结面积。电容 C 与 pn 结情况相同, 与偏压的平方根成反比。

3.5 半导体-电介质界面

不论从表面物理的观点, 还是从 MOS 晶体管、半导体存储器, 以至于集成电路器件等实用器件原理的应用物理的角度, 半导体与电介质的界面都是重要的研究领域。

在 p 型半导体上制作一层厚度为 w 的绝缘层, 在其上再制作金属电极, 就形成所谓的 MIS 结构 (metal-insulator-semiconductor), 图 3.12 是它的热平衡能带图, 为简单起见, 忽略了界面态。我们分析这种结构当金属一侧加正偏压 V 时的表面电场效应。加

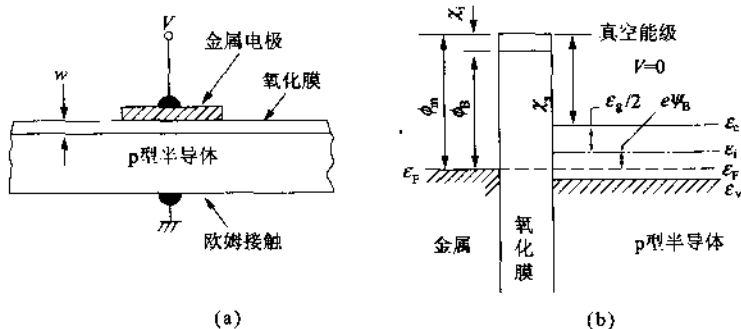


图 3.12 金属-氧化膜-p 型半导体 MIS 结构器件(a)及其能带图(b)

偏压时的能带图如图 3.13(a)所示,能带图中各符号的意义与前节相同。

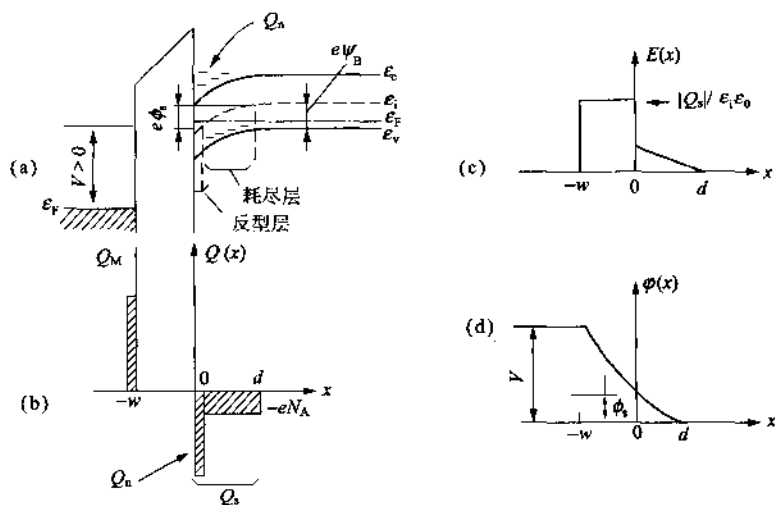


图 3.13 MIS 结构反型状态的能带图,空间电荷、电场及电势分布

(a) 理想 MIS 结构;(b)电荷分布;(c)电场分布;(d)电势分布

比较图 3.13(a)与 3.13(b),可以看出,界面附近的电荷包含两部分,空间电荷区 d 内均匀分布的电离受主负电荷 eN_A^-d ,

形成界面反型层的自由电子电荷 Q_n , 它与积聚在金属表面的表面电荷密度 Q_M 相平衡。即

$$Q_M = Q_n + eN_A^+ d \quad (3.16)$$

半导体一侧的电荷 $Q(x)$ 还包含有 p 型区中的多数载流子 p_p , 少数载流子 n_p , 若以禁带中心 ϵ_i 处为基准的电势记为 ϕ , 则有

$$p_p - n_p = p_{p0} \exp\left(-\frac{e\phi}{kT}\right) - n_{p0} \exp\left(-\frac{e\phi}{kT}\right) \quad (3.17)$$

于是, 界面附近的空间电荷可以用下式表示:

$$Q(x) = e(N_D^+ - N_A^- + p_p - n_p) \quad (3.18)$$

在半导体内部, 电中性条件成立, 即 $\phi = 0$ 成立, 所以 $N_D^+ - N_A^- = p_{p0} - n_{p0}$, 这样, 关于 $Q(x)$ 的泊松方程可以写为

$$\frac{\partial^2 \phi}{\partial x^2} = -\frac{e}{\epsilon_0 \epsilon_s} \left[p_{p0} \left\{ \exp\left(\frac{-e\phi}{kT}\right) - 1 \right\} - n_{p0} \left\{ \exp\left(\frac{e\phi}{kT}\right) - 1 \right\} \right] \quad (3.19)$$

为了分析界面的性质, 首先需要知道界面处的电场 E_s 与表面电荷密度 Q_s , 解式(3.19)可以得到

$$E_s = \pm \frac{2kT}{eL_D} F(\psi_s) \quad (3.20)$$

$$Q_s = \epsilon_0 \epsilon_s E_s \quad (3.21)$$

式中,

$$F(\psi) = \left[\left\{ \exp\left(-\frac{e\psi}{kT}\right) + \frac{e\psi}{kT} - 1 \right\} + \frac{n_{p0}}{p_{p0}} \left\{ \exp\left(\frac{e\psi}{kT}\right) - \frac{e\psi}{kT} - 1 \right\} \right]^{1/2}$$

$$L_D = \left(\frac{2kT}{p_{p0} e^2 \epsilon_0 \epsilon_s} \right)^{1/2} \quad (3.22)$$

当 p 型半导体的体电阻率低于一定程度时, 式(3.22)中函数 $F(\psi)$ 的第二项相对于第一项可以忽略不计。偏压变化引起 ϕ_s 变化, 与此相应地可以计算出 Q_s 的值。图 3.14 是当 $N_A = 4 \times 10^{15} \text{ cm}^{-3}$ 时, 由于 ϕ_s 的变化, 半导体表面由多数载流子积累状态向强反型状态变化过程中 Q_s 的变化情况。

图 3.13(c) 和 (d) 定性地示意界面电场和电势的分布, 如图 3.13(d) 所示, 外加电压 V 分别降落在绝缘层和半导体上, 即成为 V_i 和 ϕ_s 两部分。设绝缘层的相对介电常数为 ϵ_i , 那么存在于绝缘层两端的等效静电电容 C_i 可以表示为

$$C_i = \frac{\epsilon_i \epsilon_0}{w} = \frac{Q_s}{V_i} \quad (3.23)$$

另一方面, 因偏压变化会引起半导体一侧的等效电容 $C_n(V)$, 再考虑到 $V = V_i + \phi_s$, 于是, 就可以写出 MIS 结构的等效静电电容 C :

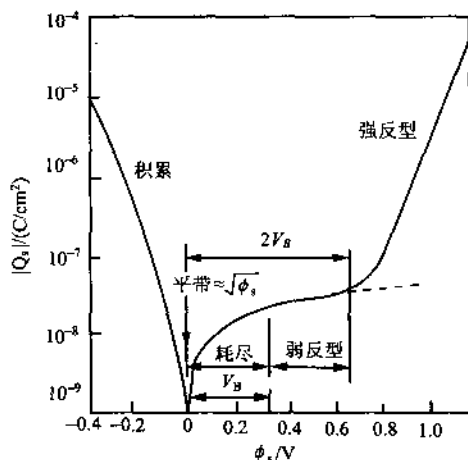


图 3.14 室温下, $N_A = 4 \times 10^{15} \text{ cm}^{-3}$ 的 p 型硅中,
 $|Q_s|$ 与表面势 ϕ_s 的函数关系

$$C = \frac{C_i \cdot C_D(V)}{C_i + C_D(V)} \quad (3.24)$$

如果对 p 型半导体构成的 MIS 结构加负偏压, 界面处能带上移, 形成积累状态, 界面处的自由电荷为空穴, 是多数载流子, 所以 $C = C_i$ 。当偏压由零向正方向移动形成耗尽状态时, $C_D(V) < C_i$, C 由 $C_D(V)$ 决定, 这时, 如图 3.15 所示, C 值与 C_i 值相比减少。

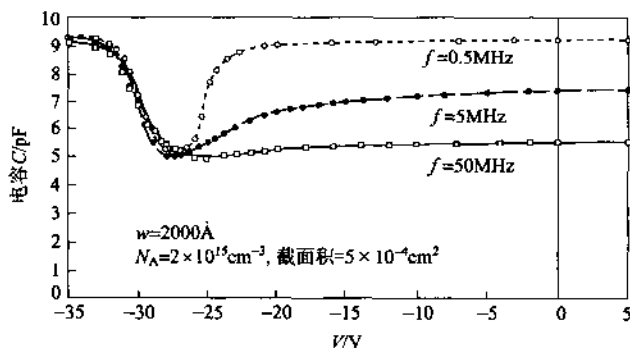


图 3.15 Si MIS 二极管的 C - V 特性与频率的关系

如果外加交流电压的角频率为 ω , $C_D(V)$ 值与半导体内部和界面间的电荷弛豫时间 τ 有关, 具有 $\omega\tau$ 频率色散。就是说, 在低频范围弛豫时间有充分响应时, 少数载流子能够积聚在界面处形成

反型层, V_i 占有几乎全部外加偏压 V , C 值接近 C_i 。相反, 在高频范围, 表面反型电荷的产生跟不上电场的变化, 这时, C 值由 $C_n(V)$ 决定。

3.6 晶粒间界

同种类的半导体晶体中, 晶轴不同的晶粒相接形成的界面称为晶粒间界 (grain boundary)。多晶半导体或者半导体蒸发膜就是晶粒的集合体, 在它们内部存在有晶粒间界。晶粒间界的界面根据晶轴偏离角度 θ_m (misfit angle) 的大小, 存在着如图 3.16 所示的位错 (dislocation), 产生自由悬挂键, 在晶粒间界中形成特有的电子现象。

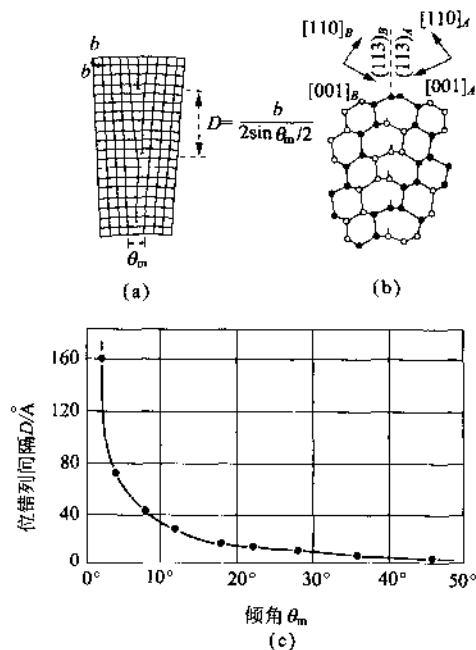


图 3.16 双晶界面的位错 (a) 伯格斯模型与位错列间隔 D (b 是伯格斯矢量); (b) 夹角为 θ_m 的金刚石晶体的 [100] 轴的晶粒间界位错; (c) Ge [100] 双晶位错列间隔 D 与 θ_m 的关系

对于晶粒间界的电子现象采用两个具有确定偏离角同时生长成结晶晶粒的双晶(bicrystal)结构进行研究。图 3.16 所示的是用拉晶法从具有预先确定偏离角 θ_m 的籽晶得到的晶粒间界示意图, 晶粒面是平面, 在面内存在若干列位错。图 3.16(b)是具有金刚石结构的硅或锗晶体的双晶粒界, 图 3.16(c)所示的是在 $\langle 100 \rangle$ 轴方向上存在倾斜角 θ_m 时倾斜角 θ_m 的大小与位错列间隔的关系。

如上所述, 半导体的晶粒间界中存在有大量的位错, 所以自由悬挂键比晶格更容易获得或丢失电子, 其作用就像施主或受主能级那样。另外, 由于位错周围的晶格格点错乱, 在反复施加的压缩力(compression)和伸张力(dilatation)作用下, 将导致晶格常数的伸缩, 如图 3.17 所示, 这样产生的形变势(deformation potential)使禁带宽度变化 $\Delta\epsilon_g$ 。图中表示位错起受主作用时在垂直于晶粒面方向上的能带图。由形变势引起的 $\Delta\epsilon_g$ 值由弹性系数 G 、晶格的体膨胀率 $(\Delta V/V)$ 以及单位压强下禁带宽度的变化量 $(\partial\epsilon_g/\partial p)$ 之积确定, 表示为

$$\Delta\epsilon_g = G \left(\frac{\Delta V}{V} \right)_{\text{dil}} \left(\frac{\partial\epsilon_g}{\partial p} \right) \quad (3.25)$$

禁带宽度变化量 $\Delta\epsilon_g$ 因倾斜角 θ_m 及材料的不同而不同, 例如, 对中等倾斜角的锗, $\Delta\epsilon_g = 0.099 \sim 0.15\text{eV}$, 对于硅, 约为 0.2eV 。

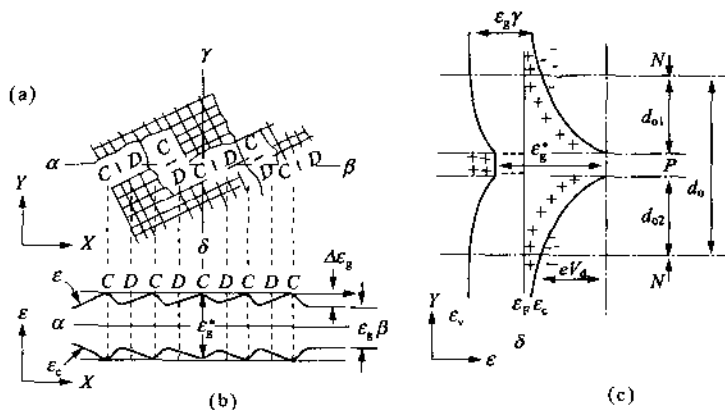


图 3.17 双晶粒间界产生的压缩力(C)与拉伸力(D)及位错示意图(a), 沿位错面方向的能带图(b), 横切位错面方向的能带图(c)

练习题

1. 画出半导体 pn 结的能带图,并说明扩散电势 V_D 如何随掺杂浓度及温度变化。
2. 从器件应用的角度论述半导体异质结的特点。

第 4 章

各种半导体二极管

pn 结二极管 (diode) 是半导体器件 (semiconductor devices) 的基础。通过二极管的电流大小会因加在它两端电压的极性而有数量级的差别, 并且还会以指数关系随外加电压变化。

在本章中, 首先讨论 pn 结二极管的电流-电压特性以及 pn 结二极管的电容随外加电压的变化。然后就肖特基二极管、异质结二极管、江崎二极管以及反向二极管的电流-电压特性作以简单的讨论。

4.1 pn 结二极管

图 4.1 是 pn 结二极管典型的电流-电压特性 (current-voltage characteristics) 曲线, 电流随外加电压的变化呈现出非对称性, 而不是线性变化。利用这种非对称性能够将交流变换为直流 (整流), 当正向电流-电压特性是非线性时能够从调制的载波中提取调制信号 (检波)。把 p 型半导体一侧外加电压为正, 或 n 型半导

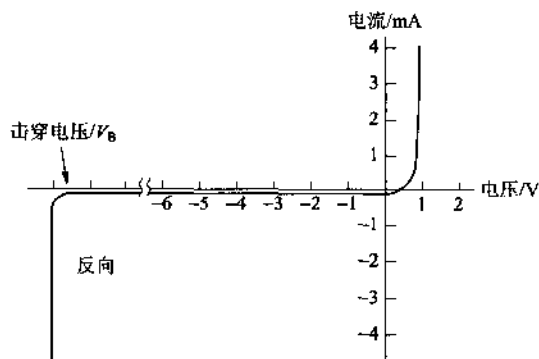


图 4.1 典型的 pn 结二极管电压-电流特性

体一侧外加电压为负时的电压称为正向偏压(forward bias),这时二极管有大电流流过。相反,把p型半导体一侧外加电压为负,或n型半导体一侧外加电压为正时的电压称为反向偏压(reversed bias),这时二极管只有极微小的电流流过。pn结二极管包括同质结二极管(homojunction diode)和异质结二极管(heterojunction diode)两种,前者是由同种类半导体材料的p型和n型结合形成的,后者是由不同种类半导体材料的p型和n型作成的。

本节讨论同质结二极管。首先简单介绍硅pn结主要的制作方法^[1]。

(1) 合金法 在n型硅表面上用真空蒸发或电镀的方法附着一层金属钨,然后置于石英管中,在氢气的保护下加热形成p型层,制成pn结。

(2) 扩散法 将n型硅置于石英管内,加热到 $1000\sim 1200^{\circ}\text{C}$,同时通入用氢气稀释的硼烷(B_2H_6),掺入硼,成为p型层。如果是在p型硅上形成n型层的话,则使用磷烷(PH_3)。

(3) 离子注入法 硼烷被电子撞击产生硼离子,再用 $10000\sim 100\times 10^4\text{V}$ 的电压加速,注入到n型硅中,使表面 $0.03\sim 3\mu\text{m}$ 范围内的硅层变为p型层。这种方法常用于VLSI制造。在p型硅表面形成n型层的时候,使用磷离子。

(4) 外延生长法 在高温下在硅表面提供并分解氢气稀释的四氯化硅生长高质量的硅薄膜。这时,如果再与四氯化硅一起通入气态p型或n型杂质源,就可以形成p型或n型硅薄膜。

4.1.1 pn结二极管的直流电流-电压特性

如图4.2所示,当p型半导体与n型半导体相结合时,如第三章所述,在热平衡(thermal equilibrium)状态下,由于必须满足p型侧与n型侧的费米能级(Fermi level)相同的条件,所以就会形成势垒(potential barrier)。p型半导体中的多数载流子空穴和n型半导体中的多数载流子电子都面临着能否越过势垒的问题,如果空穴不能注入到n型区,电子不能注入到p型区,那么,就没有电流流过pn结二极管。势垒的高度则与加在结上的电压的极性和大小有关。

首先分析pn结外加正向直流电压 V 的情况。加在pn结上的电压,按照过渡层、n型区以及p型区电阻的大小分配其压降。在这里,为简单起见,假定所有外加电压都降落在过渡层(deple

tion layer)。在没有压降的 p 型区和 n 型区内部,费米能级与位置无关,处处相同。在几乎没有载流子的耗尽层中,对应于空穴的费米能级 ϵ_{Fp} 与对应于电子的费米能级 ϵ_{Fn} 之间具有能量差 qV 。把这样分离开的费米能级称为准费米能级(quasi Fermi level),满足 $\epsilon_{Fn} = \epsilon_{Fp} + qV$ 的关系。如图 4.2 (b) 所示,在耗尽层以外的 p 型区和 n 型区中,它们迅速同化为多数载流子的费米能级。

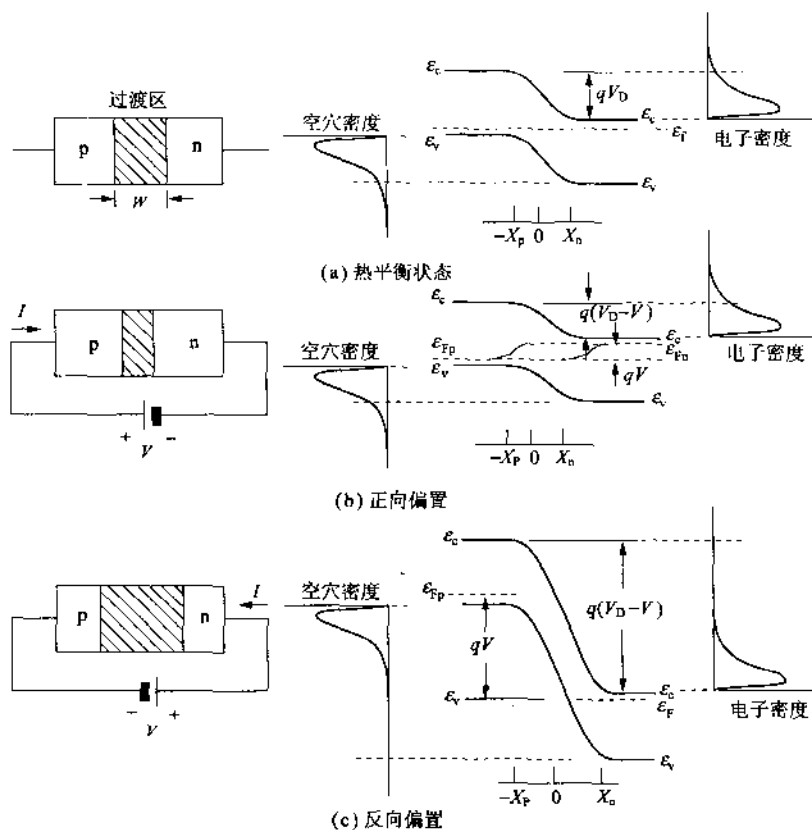


图 4.2 pn 结的载流子注入与扩散电流

可以用费米势($\phi_p = -\epsilon_{Fp}/q$, $\phi_n = -\epsilon_{Fn}/q$)和本征费米势($\phi_0 = -\epsilon_i/q$)表示处于热平衡状态的 p 型半导体中的空穴密度与电子密度。即

$$p_{p0} = n_i \exp\left(\frac{q(\phi_p - \phi_0)}{kT}\right), n_{p0} = n_i \exp\left(\frac{q(\phi_0 - \phi_p)}{kT}\right)$$

但是,由于在 pn 结上外加有正向电压,所以,空穴密度和电子

密度都不同于热平衡状态的上式。如果外加电压比较小,几乎不改变多数载流子密度,但是却使少数载流子密度发生很大的变化。现在分析 pn 结的 p 型半导体中少数载流子的密度。由 $\varepsilon_{Fn} = \varepsilon_{Fp} + qV$ 关系式得到 $\phi_p = \phi_0 + V$, 将此关系式代入上面关于电子密度的关系式,并采用 $p_p \approx p_{p0}$ 与 $n_p \neq n_{p0}$ 的近似以及 $pn = n_i^2$ 的关系,得到

$$n_p = n_i \exp\left(\frac{q(\phi_0 - \phi_p + V)}{kT}\right) \approx \frac{n_i^2}{p_{p0}} \exp\left(\frac{qV}{kT}\right) = n_{p0} \exp\left(\frac{qV}{kT}\right) \quad (4.1)$$

式(4.1)表示在过渡区的一端($x = x_p$),注入到 p 型区的少数载流子(电子)的密度。图 4.2(c)是外加反偏压时能带图和载流子密度分布图。

p 型半导体 $x = x_p$ 处的电子密度高于热平衡值 $\exp(qV/kT)$ 倍,由于 p 型半导体内部不存在电场,所以过剩的电子以热扩散的形式向 p 型半导体内部运动。这些过剩的电子在扩散途中将与 p 型区中的多数载流子复合。这种情况示于图 4.3(a)中,在稳定状态(steady state),可以由下面的少数载流子的连续性方程以及边界条件求解:

$$0 = D_n \frac{\partial^2 n_p}{\partial x^2} - \frac{n_p - n_{p0}}{\tau_p} \quad (4.2)$$

在 $x = x_p = 0$ 处, $n_p = n_{p0} \exp(qV/kT)$, 当 $x = \infty$ 时, $n_p = n_{p0}$, 因此,注入的少数载流子密度分布将由下式表示:

$$n_p = n_{p0} + n_{p0} \left\{ \exp\left(\frac{qV}{kT}\right) - 1 \right\} \exp\left(-\frac{x}{L_n}\right) \quad (4.3)$$

式中, D_n 是 p 型半导体中电子的扩散系数, τ_n 是寿命,在寿命时间 τ_n 内扩散的距离称为扩散长度(diffusion length),用 $L_n = (D_n \tau_n)^{1/2}$ 表示。

流过 p 型半导体的电子电流是 $-qD_n(\partial n_p / \partial x)$ 。这个电子电流在 p 型半导体与过渡区的界面处($x = 0$)最大。由于电子与空穴的复合,电子电流从 $x = 0$ 向 p 型半导体内逐渐减少。就是说,如图 4.3(b)所示,由外部流向 p 型半导体的空穴电流等于因复合而减少掉的电子电流。电子电流与空穴电流之和,在半导体的任何地方都是不变的(电流连续性条件)。在 $x = 0$ 处,空穴电流等于零,而电子电流最大。即

$$I_n = \frac{qD_n n_{p0}}{L_n} \left\{ \exp\left(\frac{qV}{kT}\right) - 1 \right\} \quad (4.4)$$

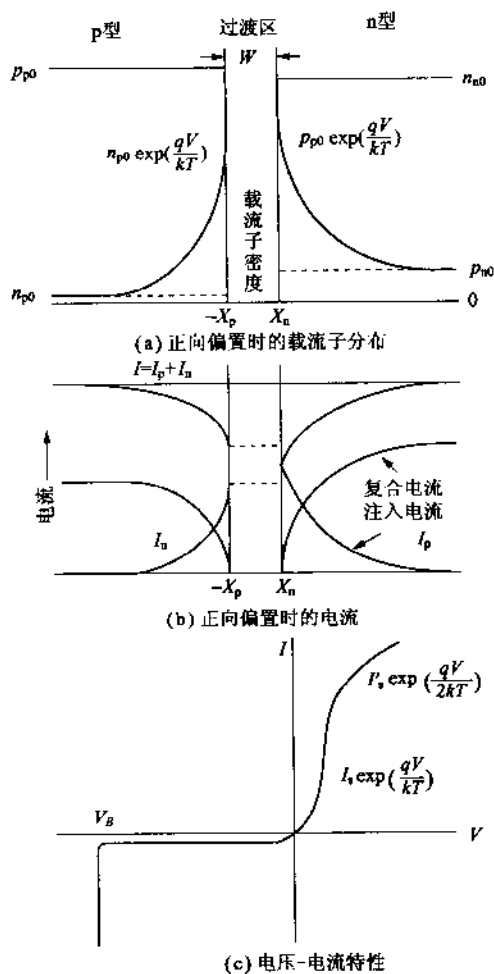


图 4.3 注入的少数载流子与电流

从 p 型半导体注入到 n 型半导体的空穴以及在 $x=0$ 处注入的空穴电流可以用求解式(4.4)同样的方法计算得到:

$$p_n = p_{n0} + p_{n0} \left\{ \exp\left(\frac{qV}{kT}\right) - 1 \right\} \exp\left(-\frac{x}{L_p}\right)$$

$$I_p = \frac{qD_p p_{n0}}{L_p} \left\{ \exp\left(\frac{qV}{kT}\right) - 1 \right\} \quad (4.5)$$

因此,流过 pn 结的总电流表示为

$$I = I_n + I_p = I_s \left\{ \exp\left(\frac{qV}{kT}\right) - 1 \right\} \quad (4.6)$$

式中, $I_s = \frac{qD_n n_{p0}}{L_n} + \frac{qD_p p_{n0}}{L_p}$, 称为饱和电流 (saturation current)。

图 4.3(c) 是 pn 结二极管的电压-电流特性示意图。

4.1.2 pn 结二极管的交流特性

这里所讨论的交流特性是指在外加于 pn 结二极管的直流电压上叠加一个振幅很小的交流电压 v 时, 流过二极管的交流电流成分的特性。

如前所述, 在 $x = x_p$ 处注入 p 型半导体的电子密度为

$$n_p = n_{p0} \exp\left\{\frac{q(V+v)}{kT}\right\} \approx n_{p0} \left\{1 + \frac{qv}{kT}\right\} \exp\left(\frac{qV}{kT}\right) \quad (4.7)$$

式中, 电子密度的交流成分是式 (4.7) 的第二项。电子密度按 $e^{-j\omega t}$ 规律随外加电压的时间变化, 所以关于少数载流子连续性方程的时间项 ($\partial n_p / \partial t$) 不能像求解直流电压-电流特性时那样令其为零, 而是 $-j\omega n_p$ 。流过 p 型半导体的电子电流的交流成分为 $\Delta i_n = (1 + j\omega\tau_n)^{1/2}$, 并得到

$$i_n = \frac{qD_n \Delta n_{p0}}{L_n} \cdot \frac{qv}{kT} \exp\left(\frac{qV}{kT}\right) \quad (4.8)$$

流过 pn 结二极管的总交流成分等于在 $x=0$ 处流过 p 型半导体的电子电流的交流成分与流过 n 型半导体的空穴电流的交流成分之和:

$$i = \left(\frac{qD_n \Delta n_{p0}}{L_n} + \frac{qD_p \Delta p_{n0}}{L_p}\right) \exp\left(\frac{qV}{kT}\right) \frac{qv}{kT} \quad (4.9)$$

电流的交流成分随外加直流电压按指数规律增加。但是, 交流电流与交流电压呈线性比例关系, 可以表示为 $i = yv = \{ (g_n + s_n) + (g_p + s_p) \} v$ 。该式中, y 是由于少数载流子注入半导体而产生的, 称为扩散导纳 (diffusion admittance), g 是电导 (conductance), s 是电纳 (susceptance)。当频率很低 ($\omega\tau \ll 1$) 时, $\Delta \approx (1 + j\omega\tau/2)$, 频率很高时 ($\omega\tau \gg 1$), 近似为 $\Delta \approx (\omega\tau)^{1/2} (1 + j)$ 。例如, 当在 pn 结二极管的直流电压上叠加一个频率很低、振幅很小的交流电压时, p 型半导体的扩散导纳由下式确定:

$$y_n = \frac{q}{kT} \left(\frac{qD_n n_{p0}}{L_n} \right) \exp\left(\frac{qV}{kT}\right) \left(1 + j \frac{\omega\tau_n}{2} \right) \quad (4.10)$$

式中, 第一项是与交流电压同相的扩散电阻成分, 第二项是位相比交流电压超前 $\pi/2$ 的成分, 是电子在寿命时间内滞留在 p 型区中形成的电容成分。这表示在中性的 p 型区中, 注入与空穴电荷相

反的电子,在寿命时间内积累,使 p 型区带负电。这种现象称为少数载流子的存储效应(minority carrier storage effect)。如式(4.7)所示,积累的少数载流子随直流偏压以指数关系增加。

图 4.4 表示在正向直流偏压下流过正向电流的 pn 结二极管中,加一个比直流偏压更大的脉冲电压时电流随时间的变化。当 pn 结外加偏压由正向变为反向时,在积累的少数载流子被抽出的时间内,流过二极管的电流比饱和电流大得多^[2]。把 pn 结偏压变为反向时,在偏压变化瞬间流过的电流减少到 10% 的时间称为恢复时间(recovery time)。对硅器件来说,为了缩短恢复时间,通常采用掺金的方法。

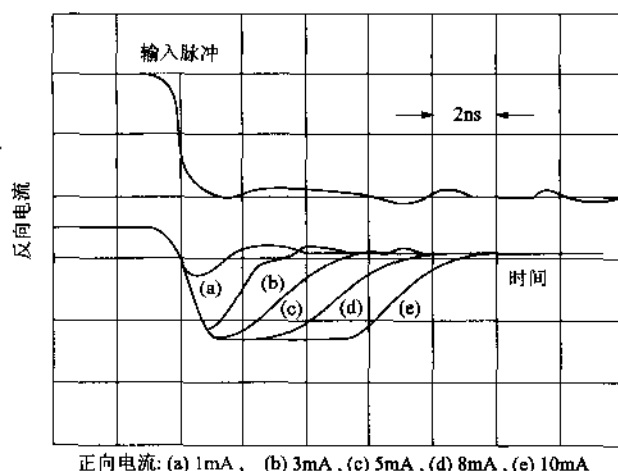


图 4.4 pn 结二极管少数载流子存储效应示意图

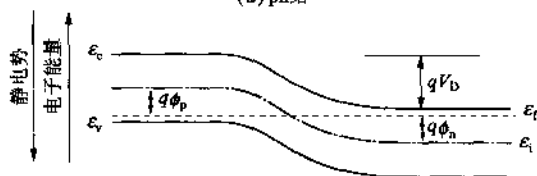
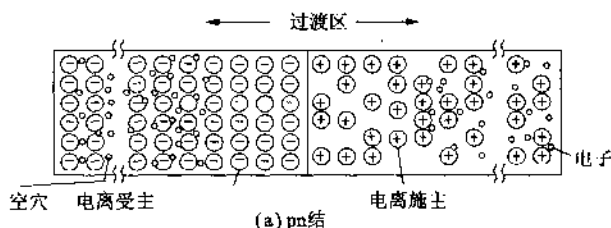
4.1.3 pn 结二极管的直流电压-电容特性

如图 4.5(a)所示,在 pn 结二极管的过渡区内,能够自由运动的载流子由于自建场的作用,被驱赶出过渡区,存留下来的是荷正电的电离施主和荷负电的电离受主。过渡区以外的 p 型和 n 型半导体内是电中性的,即使在过渡区也应满足电中性条件,所以电离施主的数目与电离受主是相等的。就是说,如果电离施主密度为 N_D ,电离受主为 N_A ,p 型和 n 型区的空间电荷层宽度分别为 x_n 和 x_p ,那么,必须满足 $N_D |x_n| = N_A |x_p|$ 的关系。这种空间电荷区,受到加在 pn 结上的直流偏压的有效控制,所以可以用作变容器件即变容二极管(varactor diode)。

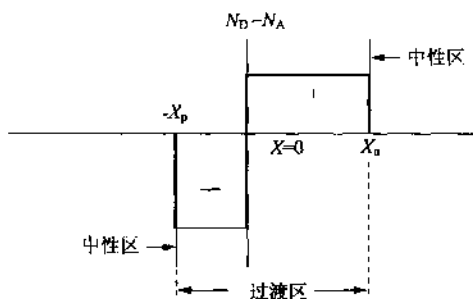
图 4.5(b) 是电子能带和静电势图。现在分析电荷分布如图 4.5(c) 所示的突变结 (abrupt junction) 的电容。关于缓变结 (graded junction)^[3] 的分析, 将留作习题。为简单起见, 假定过渡区内不存在载流子。由泊松方程求解过渡区中的电势分布。

在 p 型区的过渡区范围 ($-x_p \leq x < 0$):

$$\frac{d^2\phi_p}{dx^2} = +\frac{qN_A}{\epsilon_0\epsilon_s} \quad (4.11)$$



(b) 电子的能量与静电势



(c) 近似长方形的电离杂质密度

图 4.5 突变 pn 结

其边界条件为: 在 $x = -x_p$ 处, $\phi_p = 0$, $d\phi_p/dx = 0$ 。

在 n 型区的过渡区范围 ($0 \leq x < x_n$):

$$\frac{d^2\phi_n}{dx^2} = -\frac{qN_D}{\epsilon_0\epsilon_s} \quad (4.12)$$

其边界条件为: 在 $x = x_n$ 处, $\phi_n = V_D - V$, $d\phi_n/dx = 0$ 。这里, V_D

是扩散电势。就是说过渡区内的 p 型区和 n 型区中的电势分别由下式给出：

$$\phi_p(x) = \frac{qN_A}{2\epsilon_0\epsilon_s}(x+x_p)^2 \quad (4.13)$$

$$\phi_n(x) = (V_D - V) - \frac{qN_D}{2\epsilon_0\epsilon_s}(x_n - x)^2 \quad (4.14)$$

这两个电势在 $x=0$ 处必须是连续的。就是说, 在 $x=0$ 处, $\phi_p = \phi_n$, $d\phi_p/dx = d\phi_n/dx$ 。

由电势的连续性, 得到如下的关系:

$$\begin{aligned} \frac{qN_A x_p^2}{2\epsilon_0\epsilon_s} &= (V_D - V) - \frac{qN_D x_n^2}{2\epsilon_0\epsilon_s} \\ N_D |x_n| &= N_A |x_p| \end{aligned} \quad (4.15)$$

可以得到 x_p 和 x_n :

$$\begin{aligned} |x_n| &= \left\{ \frac{2\epsilon_0\epsilon_s}{qN_D} (V_D - V) \frac{N_A}{N_A + N_D} \right\}^{1/2} \\ |x_p| &= \left\{ \frac{2\epsilon_0\epsilon_s}{qN_A} (V_D - V) \frac{N_D}{N_A + N_D} \right\}^{1/2} \end{aligned} \quad (4.16)$$

由此, 得到过渡区宽度 W :

$$W = |x_n| + |x_p| = \left\{ \frac{2\epsilon_0\epsilon_s}{q} (V_D - V) \frac{N_A + N_D}{N_A N_D} \right\}^{1/2} \quad (4.17)$$

可以看出, 过渡区主要是向杂质密度低的半导体内扩展。

如果把结电容看作平行板电容的话, 则有

$$C = \frac{\epsilon_0\epsilon_s}{W} = \left\{ \frac{q\epsilon_0\epsilon_s N_A N_D}{2(V_D - V)(N_A + N_D)} \right\}^{1/2} \quad (4.18)$$

结电容随掺杂浓度增高而增大, 随反偏压的增大而减少。

4.1.4 电压-电流特性理论的修正

1. pn 结二极管的击穿

pn 结二极管的过渡区是不存在载流子的绝缘区。如图 4.1 所示, 当反偏压达到 V_D 时, 发生 pn 结的绝缘击穿, 反向电流将急剧增大。一般来说, 半导体材料要比绝缘材料均匀得多, 所以, pn 结过渡区的电击穿不同于绝缘材料的击穿机构, 主要是由齐纳效应(Zener effect)与雪崩倍增(avalanche multiplication)所引起。

齐纳击穿如图 4.6(a)所示, 当 pn 结上加以非常大的反向电压时, p 型半导体的价带与 n 型半导体的导带反相隔非常窄的距离 (约在 10nm 以下), 大量的电子从隧道效应从 p 型半导体进入 n 型半导体。这种击穿机构受掺杂浓度高的半导体支配。

雪崩击穿如图 4.6(b)所示,被电场加速的载流子与原子相碰撞,产生新的载流子,如此导致载流子不断发生雪崩倍增,从而构成了雪崩击穿的基础。这种击穿一般发生在掺杂浓度较低的半导体中。

这里简单地讨论因雪崩击穿引起 pn 结的绝缘击穿导致电流增加的现象。当过渡区的 p 型一侧产生的少数载流子电子在外加反向电压的作用下加速进入 n 型一侧时,如图 4.6(b)所示,在运动中与原子发生碰撞,使电子和空穴雪崩增加,同时到达过渡区的 n 型半导体一侧。对于空穴,也可以作同样的分析。

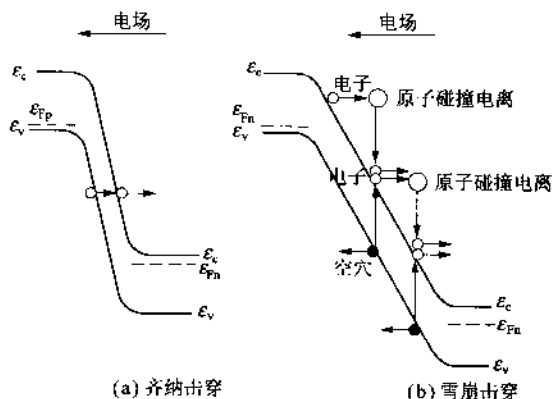


图 4.6 pn 结的绝缘击穿机构

图 4.7 表示在任意处狭窄的范围 dx 内,一个电子与原子碰撞产生 α_n 个电子,一个空穴与原子碰撞产生 α_p 个电子,电子数目的增加,导致电流的增加。在这个狭窄范围内增加的电子数可以用下式表示:

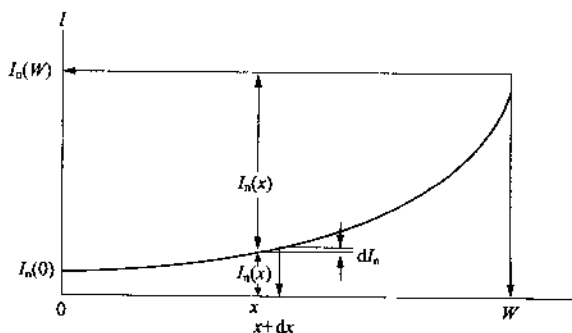


图 4.7 过渡区内的电子倍增

$$d\left(\frac{I_n}{q}\right) = \alpha_n\left(\frac{I_n}{q}\right)dx + \alpha_p\left(\frac{I_p}{q}\right)dx \quad (4.19)$$

由于流过 pn 的电流 $I = I_n + I_p$ 是一确定值, 所以可以将式 (4.19) 写为

$$\frac{dI_n}{dx} + (\alpha_n - \alpha_p)I_n - \alpha_p I \quad (4.20)$$

假定 $\alpha_p = \alpha_n = \alpha$, 将式 (4.20) 在整个过渡区积分:

$$\frac{I_n(W) - I_n(0)}{I} = \int_0^W \alpha dx \quad (4.21)$$

在过渡区 p 型半导体一侧电子电流成分为 $I_n(0)$, 过渡区另一端的 n 型半导体一侧电流为 $I_n(W)$ 等于 pn 结的总电流 I 。将倍增系数 (multiplication factor) M 写为 $I/I_n(0)$, 于是式 (4.21) 可以写为

$$\frac{1}{M} = 1 - \int_0^W \alpha dx \quad (4.22)$$

式 (4.22) 的右侧等于零时, 倍增系数变为无穷大, pn 结发生绝缘击穿。对于硅 pn 结, 当杂质密度为 $10^{14} \sim 10^{18} \text{ cm}^{-3}$ 时, 绝缘击穿电场大约在 $0.2 \sim 2 \text{ MeV/cm}$ 范围^[4], 并与杂质密度成比例。由于这种击穿现象非常稳定, 所以可以作为稳压器件, 齐纳二极管 (稳压二极管) 已经实用化。

2. pn 结二极管的大电流特性

当 pn 结二极管外加大的正向电压时, 将有大的电流流过, 现在分析这种大注入条件下的电流-电压特性。这种条件下, 注入到过渡区的 p 型半导体一侧 ($x = x_p$) 的少数载流子电子密度差不多与多数载流子空穴密度相等:

$$n_p = n_{p0} \exp\left(\frac{qV}{kT}\right) \approx p_{p0} \quad (4.23)$$

等式两边同乘以 n_{p0} , 并且利用 $p_{p0}n_{p0} = n_i^2$ 的关系, 可以将式 (4.23) 写为

$$p_{p0}n_p \approx n_p^2 = n_i^2 \exp\left(\frac{qV}{kT}\right) \quad (4.24)$$

因此可以将 p 型区 $x = x_p$ 处注入的电子密度写为

$$n_p = n_i \exp\left(\frac{qV}{2kT}\right) \quad (4.25)$$

用同样的方法可以求得 n 型区 $x = x_n$ 处注入的空穴密度, 其结果与式 (4.25) 类似。电压-电流特性可以用 4.1 节中同样的方法计算。即

$$I = I_s \left\{ \exp\left(\frac{qV}{2kT}\right) - 1 \right\} \quad (4.26)$$

式中, $I_s = \frac{qD_n n_i}{L_n} + \frac{qD_p n_i}{L_p}$ 。图 4.3(c) 为 pn 结二极管大电流特性的示意图。

3. 过渡区中的载流子复合中心

在半导体的禁带中部存在有能够俘获或发射载流子的复合中心。如图 4.8(a) 所示, 在 pn 结的过渡区内同样也存在有复合中心。

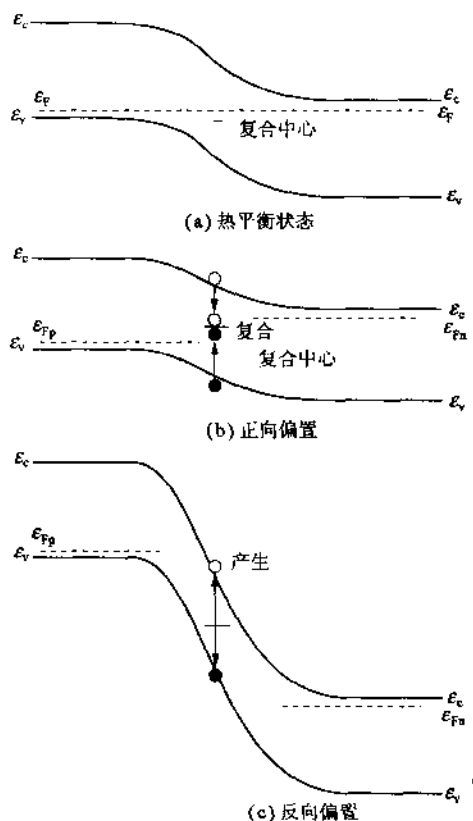


图 4.8 过渡区中的载流子复合

假定 pn 结是用复合中心密度为 N_t 的半导体制作的。在过渡区, 几乎不存在载流子, 即使外加正向电压时, 也只有 $p = n = n_i \exp(qV/2kT)$ 。如图 4.8(b) 所示, 在宽度为 W 的过渡区以热运动速

度 V_{th} 运动的载流子, 被俘获截面为 σ 的复合中心所俘获, 立即就有极性相反的载流子也被该复合中心俘获, 从而完成复合过程。因此, 在整个过渡区中, 复合电流 $I_{rec} = qW\sigma_0 V_{th} N_i n_i \exp \times (qV/2kT)$ 。这个计算结果比未修正的计算结果大 2 倍。

因此对于过渡区中有复合中心的 pn 结二极管的正向电压-电流特性应表示为

$$I = I_s \exp(qV/kT) + qW\sigma_0 V_{th} n_i \exp(qV/2kT) \quad (4.27)$$

这个复合电流在正向电压-电流特性的低电流范围占重要地位。通常可以把正向电压-电流特性简单地表示为 $I \approx \exp(qV/2\eta kT)$ 。式中, η 被称为理想因子, 通常是大于 1 的值。

在过渡区具有俘获中心的 pn 结二极管上加反向偏压时, 由俘获中心发射出的电子-空穴对所构成的电流, 会叠加在 4.1 节所求得的反向电流上, 使 pn 结二极管的反向电压-电流特性变坏。由于 pn 结二极管加反向偏压, 所以多数载流子密度与少数载流子密度都比本征载流子密度低得多。因此, 如图 4.8(c) 所示, 复合中心产生的电子-空穴对等于本征载流子密度, 其产生率与电子-空穴对寿命的倒数 $(1/\tau_g)$ 成比例。在宽度为 W 的整个过渡区中的产生电流为 $qW(n_i/\tau_g)$, 因此, pn 结二极管的总反向电流为

$$I_{rev} = I_s \exp\left(\frac{qV}{kT}\right) + qW\left(\frac{n_i}{\tau_g}\right) \approx I_s + qW\left(\frac{n_i}{\tau_g}\right) \quad (4.28)$$

4.2 肖特基二极管的直流电流-电压特性

在 pn 结二极管中, 由于各自的少数载流子注入到 p 型和 n 型半导体区从而呈现出电压-电流的非对称性, 由于少数载流子存储效应, 产生扩散电容, 出现时间的滞后, 并影响到少数载流子继续注入的效率。如果制作出仅有多数载流子工作的二极管, 那么就不会出现少数载流子的存储效应。当 n 型半导体与功函数不同的金属接触时, 在热平衡状态下, 由于两者的费米能级要达到相同的能量高度, 因此, 与 pn 结二极管类似地将产生能量势垒。把这个势垒称为肖特基势垒 (schottky barrier)。在 n 型半导体与金属接触的情况下, 越过这个势垒的载流子只是电子。

关于金属-半导体接触势垒区的结构, 已经在上一章 3.4 节讨论过。n 型半导体与金属接触的情况如图 4.9 所示。设金属与半

导体的势垒为 ϕ_B , 金属的电子密度为 n_M , 那么从金属流入半导体的电子数为 $n_{M \rightarrow S} = n_M \exp(-q\phi_B/kT)$, 若 n 型半导体导带中的电子密度为 n_S , 相应地, 由半导体流入金属的电子数为 $n_{S \rightarrow M} = n_S \exp(-qV_D/kT)$ 。在热平衡状态下, 两者必须相等:

$$n_{M \rightarrow S} = n_{S \rightarrow M} = n_S \exp\left(-\frac{qV_D}{kT}\right) \quad (4.29)$$

对于 n 型半导体与金属接触, n 型半导体一侧偏压为负, 金属一侧为正(即正偏压)情况的能带图示于图 4.9(c)。从金属一侧所看到的半导体的势垒高度不随外加偏压而变化, 但是, 从半导体一侧所看到的金属的势垒高度由热平衡状态的 V_D 降低为 $(V_D - V)$:

$$\begin{aligned} n_{M \rightarrow S} &= n_S \exp\left(-\frac{qV_D}{kT}\right) \\ n_{S \rightarrow M} &= n_S \exp\left\{-\frac{q(V_D - V)}{kT}\right\} \end{aligned} \quad (4.30)$$

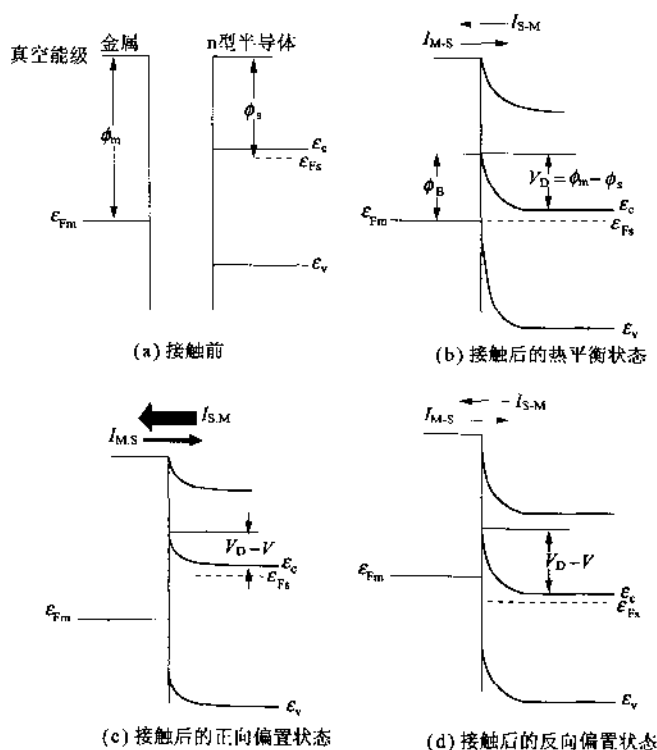


图 4.9 肖特基结的电流-电压特性

从金属一侧越过金属-半导体势垒流向半导体的正向电流与式(4.30)的电子数之差成比例。

$$I = qAn_s \exp\left(-\frac{qV_D}{kT}\right) \left\{ \exp\left(\frac{qV}{kT}\right) - 1 \right\} = I_s \left\{ \exp\left(\frac{qV}{kT}\right) - 1 \right\} \quad (4.31)$$

这种电压-电流关系与 pn 结二极管是相同的, 不过对 n 型半导体与金属形成的接触来说, 电流是由多数载流子电子输运的。

如果金属-半导体接触的势垒不仅高度高, 而且厚度非常薄, 那么, 半导体导带的电子像江崎二极管一节所叙述的那样, 将通过隧道效应穿过势垒进入金属。在 LSI 中, 如果半导体重掺杂, 那么半导体中形成的势垒区将非常薄, 就可以利用这样的肖特基接触作成欧姆电极^[6]。

金属与半导体接触中, 不存在载流子的区域即势垒区在电子密度非常高的金属一侧只是与半导体接触的界面附近极薄的一层, 而在半导体一侧则是很宽的耗尽区。半导体中耗尽区的宽度可以用泊松方程求解, 其边界条件为 $x=w$ 处, $d\phi/dx=0$, 以及 $\phi=V_D-V$ 。但是, 由于金属的电子密度比半导体的电子密度高很多, 相当于 pn 结的 n 型半导体的电子密度与 p 型半导体的空穴密度相比可以忽略的情况。所以肖特基二极管的耗尽区宽度为

$$W = \left\{ \frac{2\epsilon_0\epsilon_s}{qN_D} (V_D - V) \right\}^{1/2} \quad (4.32)$$

结电容由下式确定:

$$C = \left\{ \frac{q\epsilon_0\epsilon_s N_D}{2(V_D - V)} \right\} \quad (4.33)$$

对上式作进一步整理, 得到

$$(1/C^2) = \frac{2(V_D - V)}{q\epsilon_0\epsilon_s N_D} \quad (4.34)$$

可以看出, 偏压与 $1/C^2$ 呈线性关系, 其斜率表示 n 型半导体的电子密度, 直线与电压轴的交点等于扩散电势。

4.3 异质结二极管

4.1 节中讨论的 pn 结二极管是用同种材料制作的, 例如 p 型硅与 n 型硅。这种 pn 结二极管中, 与电子和空穴对应的扩散电势大小相等, 注入到 p 区和 n 区的少数载流子数量虽然有差别, 不过

这种差别还未到能够忽略其中某一种的程度。但是,如果用不同半导体材料制作 pn 结二极管,结果与同质 pn 结二极管不同,通常将不满足上述条件。下面分析它的电压-电流特性及电压-电容特性。

对于禁带宽度为 ϵ_{gp} 、功函数为 ϕ_p 的 p 型半导体与禁带宽度为 ϵ_{gn} 、功函数为 ϕ_n 的 n 型半导体结合的情况,结合前后的能带图如图 4.10(a)和(b)所示。图中, $\epsilon_{gp} < \epsilon_{gn}$, $\phi_p > \phi_n$ 。

热平衡状态下,两侧的费米能级应处于同一高度,同时,真空能级应该连续,因此,在界面处就出现了导带及价带的不连续。由图 4.10(b)看出,价带及导带的不连续量分别为 $\Delta e_v = \epsilon_{gp} - \epsilon_{gn}$, $\Delta e_c = \epsilon_{cn} - \epsilon_{cp}$ 。扩散电势 V_D 为两种半导体功函数之差($\phi_p - \phi_n$),等于界面处导带的尖峰(spike) V_{Dn} 和凹口(notch) V_{Dp} 之和。由于界面处的电通量密度相等,所以 V_{Dn} 与 V_{Dp} 之间具有如下关系: $V_{Dn}/V_{Dp} = N_A \epsilon_p / N_D \epsilon_n$ 。式中, N_A 是 p 型半导体的受主密度, N_D 是 n 型半导体的施主密度, ϵ_n 与 ϵ_p 分别为 n 型半导体及 p 型半导体的相对介电常数。

例如, p 型半导体 Si 与 n 型半导体 GaAs 形成异质结,在室温下,对于 Si, $p_p n_p = n_p^2 \approx 2 \times 10^{20} \text{ cm}^{-3}$, 对于 GaAs, $p_n n_n = n_n^2 \approx 4 \times 10^{12} \text{ cm}^{-3}$, 所以,从 p 型半导体向 n 型半导体注入的空穴密度要比硅同质 pn 结情况小得多。因此,异质结的电压-电流特性主要受从 n 型半导体注入到 p 型半导体的电子数量的支配。

图 4.10(c)是正向偏压下异质 pn 结的能带图。外加偏压降落在 p 型区和 n 型区,分别为 V_p 和 V_n 。导带的尖峰和凹口分别降低为 $(V_{Dn} - V_n)$ 和 $(V_{Dp} - V_p)$ 。从 n 型半导体向 p 型半导体的真实注入量,等于 n 型半导体的电子越过导带尖峰进入 p 型半导体的密度与 p 型半导体中的电子进入 n 型半导体的密度之差。因此,异质结的电压-电流特性表示为

$$I = A \exp\left(-\frac{qV_{Dn}}{kT}\right) \left\{ \exp\left(\frac{qV_n}{kT}\right) - \exp\left(-\frac{qV_p}{kT}\right) \right\} \quad (4.35)$$

与 4.3 节同质 pn 结的情况相同,异质结的过渡区宽度与电容可以用泊松方程求解,其边界条件为^[7]:

- (1) 在 p 型与 n 型半导体过渡区的端点,电势的梯度为零。
- (2) p 型与 n 型半导体过渡区两端的电势差,等于扩散电势。
- (3) 在结合处,电势是连续的。

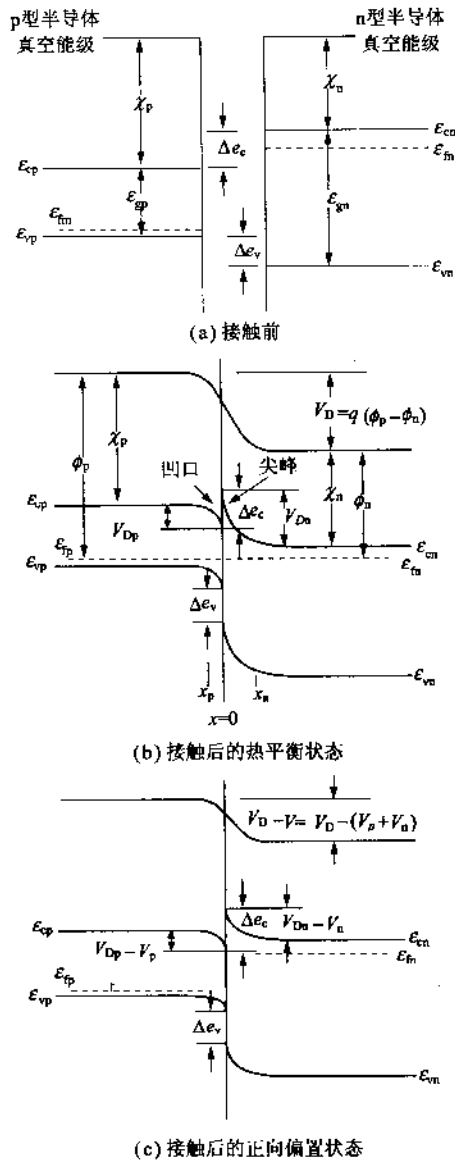


图 4.10 异质结的能带图

(4) 在结合处电通量密度相等, 即

$$\epsilon_0 \epsilon_p (d\phi_p/dx)_{x=0} = \epsilon_0 \epsilon_n (d\phi_n/dx)_{x=0}.$$

异质结耗尽区的宽度 ($W = |x_p| + |x_n|$) 由下式求得:

$$\begin{aligned}
 |x_p| &= \left\{ \frac{2\epsilon_0\epsilon_s}{qN_A} (V_D - V) \frac{\epsilon_n N_D}{\epsilon_p N_A + \epsilon_n N_D} \right\}^{1/2} \\
 |x_n| &= \left\{ \frac{2\epsilon_0\epsilon_s}{qN_D} (V_D - V) \frac{\epsilon_p N_A}{\epsilon_p N_A + \epsilon_n N_D} \right\}^{1/2}
 \end{aligned} \quad (4.36)$$

异质结过渡区的电容 C 为

$$C = \frac{q\epsilon_0\epsilon_p\epsilon_n N_A N_D}{2(V_D - V)(\epsilon_p N_A + \epsilon_n N_D)} \quad (4.37)$$

过渡区主要向杂质密度与介电常数之积小的半导体一侧扩展。

4.4 江崎二极管与反向二极管的直流电流-电压特性

江崎二极管或江崎效应是因江崎玲於奈博士于1957年发现电子隧穿pn结势垒区这一现象而以他的名字命名的。由于电子隧穿pn结势垒区的时间非常短,所以江崎二极管有望用作毫米波器件。

4.4.1 电子穿过薄势垒的几率

电子具有粒子与波动二相性。宏观情况下,电子可以作为粒子处理,但是在微观情况下,必须考虑它的波动性^[8]。如图4.11(a)所示,假定势垒的高度为 V_0 , 厚度为 d , 考虑波函数为 Ae^{ikx} 的电子自左侧的自由空间入射到该势垒的情况。

其中电子的一部分被势垒反射,相位改变180度而返回,被反射的电子表示为 Be^{-ikx} 。如图(b)所示,其余的电子将进入势垒,并在衰减的过程中穿透势垒进入另一侧自由空间。穿过势垒的电子表示为 Ce^{ikx} 。

电子的一维薛定谔方程为

$$\frac{\hbar^2}{2m_n^*} \frac{\partial^2 \psi(x)}{\partial x^2} + qV_0 \psi(x) = \epsilon \psi(x) \quad (4.38)$$

在 I 区和 III 区,电子是自由电子,其波函数分别为

$$\psi(x) = Ae^{ikx} + Be^{-ikx} \quad (4.39)$$

$$\psi(x) = Ce^{ikx} \quad (4.40)$$

在 II 区,由于势场 V_0 不等于零,所以电子不是自由电子,由

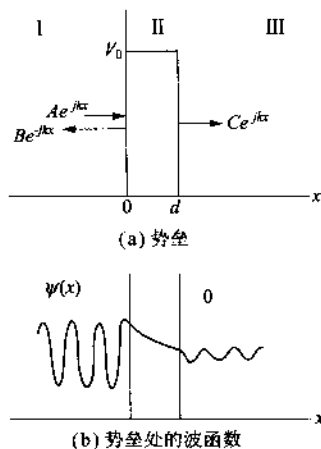


图 4.11 电子波的隧道效应示意图

式(4.38)可以解得电子的波函数

$$\psi(x) = Fe^{\beta x} + Ge^{-\beta x} \quad (4.41)$$

式中, $\beta = \{2m_a^* (qV_0 - \epsilon) / \hbar^2\}^{1/2}$

由于波函数在三个区域中必须是连续的, 所以式(4.39)~(4.41)中的5个系数可以以系数A为基准求得

$$\left(\frac{C}{A}\right)^2 = \left\{1 + \frac{(qV_0 \sinh \beta d)^2}{4E(qV_0 - \epsilon)}\right\}^{-1} \quad (4.42)$$

$(C/A)^2$ 称为贯穿系数, 如果 $\beta d \gg 1$, $(C/A)^2$ 变为 $\exp(-2\beta d)$ 。当势垒高度降低时, 贯穿系数按指数规律增大。

4.4.2 简并半导体 pn 结的电压-电流特性

到现在为止, 我们所讨论的半导体都是载流子密度低于能带状态密度的十万分之一的情況。这种半导体中, 导带中有一定的电子密度, 价带中也有一定的空穴密度, 但是相邻的电子或空穴之间的距离较大, 费米能级处于禁带之中。如果载流子密度达到能带的状态密度的一万分之一以上, 载流子之间的距离将缩短, 载流子之间的相互作用将不可忽视, 会形成正负自旋对, 费米能级将处于导带或价带之中。这种半导体称为简并半导体 (degenerated semiconductor), 它的电阻率随温度的变化接近于金属的情况。

简并的 p 型半导体与 n 型半导体结合时热平衡状态的能带图如图 4.12(a)所示, 费米能级在两侧的高度是相同的, 在 p 型半导体一侧处于价带中, 在 n 型半导体一侧处于导带中。这时江崎二

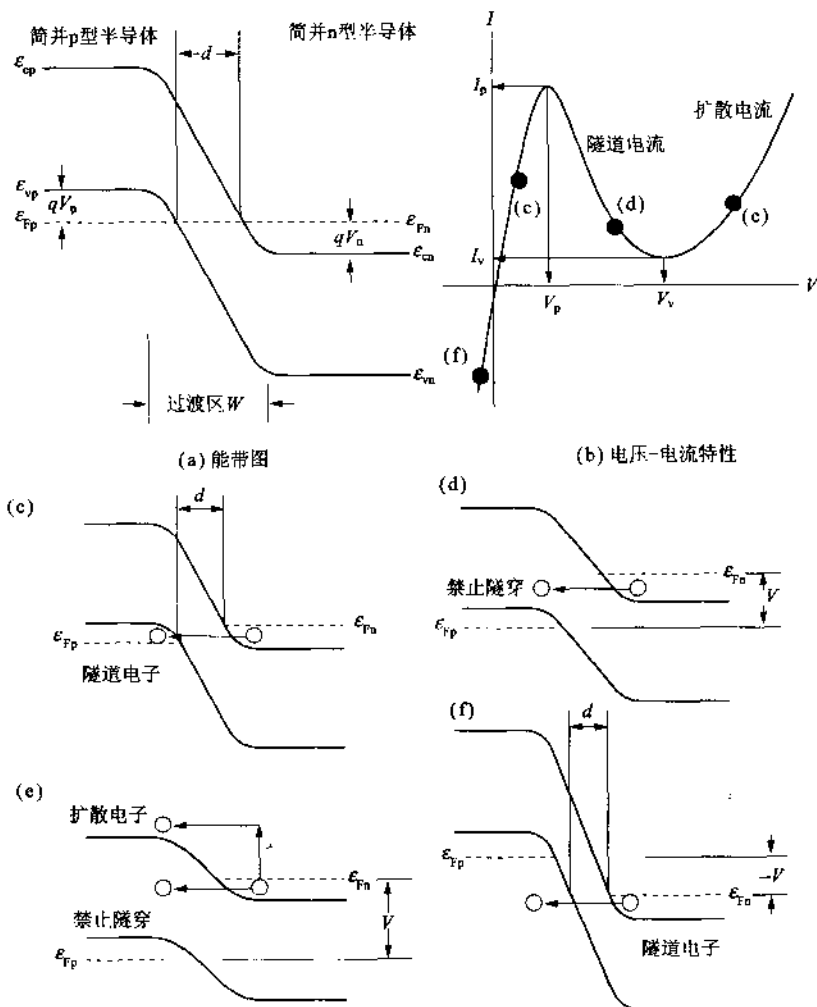


图 4.12 江崎二极管

极管的电压-电流特性如图 4.12(b)所示,并具有如下实验表达式:

$$I = I_s \exp\left(\frac{qV_s}{kT}\right) + I_p \left(\frac{V}{V_p}\right) \exp\left(1 - \frac{V}{V_p}\right) \quad (4.43)$$

式中, V_p 和 I_p 分别为隧道区峰值电压和峰值电流。扩散电流是外加电压与温度的函数,而隧道电流仅与外加电压有关。

如图 4.12(c)所示,当外加较小的正向电压时,具有大量电子的 n 型半导体的导带与具有能够接受大量电子的空状态(空穴)的

p 型半导体价带在很短的距离上对峙着,那么,电子将从 n 型半导体隧穿到 p 型半导体。这时将有比在 4.1 节所讨论过的更大的电流流过 pn 结。如果正向电压增大,那么如图(d)所示的那样,n 型半导体的导带将与 p 型半导体的禁带相对峙,于是,电子就不能从 n 型半导体隧穿进入 p 型半导体,电流将像图(b)的 d 点所示的那样减少。进一步提高正向电压,如图(e)所示,n 型半导体导带中的电子将按在 4.1 节所介绍过的机构(扩散)注入到 p 型半导体的价带中,形成大的电流流过 pn 结。图(f)是 pn 结外加反向电压时的能带图。这时 p 型半导体的价带在很短的距离上与 n 型半导体的导带相对峙,所以会有大量的电子从 p 型半导体隧穿进入 n 型半导体。

4.4.3 反向二极管的直流电流-电压特性

江崎二极管是由简并的 p 型半导体与 n 型半导体结合而形成的。现在讨论简并的 p 型半导体与弱简并的 n 型半导体结合时的情况。这样的 n 型半导体的费米能级接近导带底。图 4.13(a)是它们形成的 pn 结的能带图。

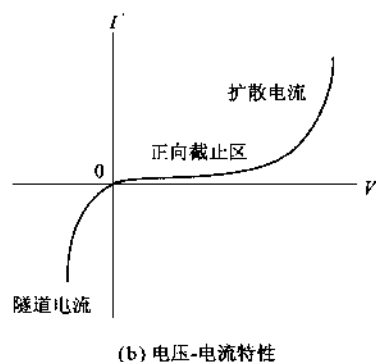
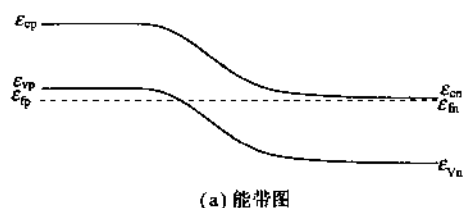


图 4.13 反向二极管

与江崎二极管的情况相同,如果逐渐提高正向电压,那么一开始 n 型半导体的导带总是与 p 型半导体的禁带相对峙,只有微小的正向电流流过(正向截止区)。但是随着正向电压的增大,这时 n 型半导体导带中的电子将按 4.1 节中介绍的机构(扩散)注入到 p 型半导体的导带,形成大的电流。

当外加反向电压时,由于 p 型半导体价带在很短的距离上与 n 型半导体的导带相对峙,所以大量的电子从 p 型半导体隧穿进入 n 型半导体。这种反向二极管是多数载流子器件,没有少数载流子存储效应,所以可用作微波检波器、混频器等。

练习题

1. 试说明为了降低同质 pn 结二极管的饱和电流,应该采用怎样的半导体制作 pn 结?
2. 请画出同质 pn 二极管的电导和电纳从低频到高频范围的频率特性。
3. 求解缓变结的电压-电容特性。设在 $-d/2 \leq x \leq d/2$ 范围内,电离杂质密度按 $N=qax$ 变化。
4. 设 $N_A \gg N_D$, 试求突变 pn 结的击穿电压 V_B 。
5. 用金属与 n 型半导体的势垒 ϕ_b 表示肖特基二极管的电流,并考虑实验确定 ϕ_b 的方法。

第 5 章

双极型功能器件

现在,主要的实用化晶体管可以分为面结型晶体管和场效应型晶体管两大类。前者是与电子和空穴两者的行为有关的双极型晶体管,后者是仅与其中一种载流子有关的单极型晶体管。晶体管最初是美国贝尔实验室的 W. Shockley、J. Bardeen、W. Bratten 三人于 1948 年发明的。经历了半个世纪后,到了今天晶体管已经成为电子技术中最重要的基本器件,它具有放大、开关等功能。

本章,首先介绍双极型晶体管的工作原理,然后学习具有两个以上 pn 结的晶闸管的基本原理。在下一章将介绍 MOS 型场效应晶体管等单极晶体管。

5.1 晶体管的作用

5.1.1 双极晶体管的结构

双极晶体管是由两个距离很近,以至于能相互影响的 pn 结组成,有 pnp 型和 npn 型两种。图 5.1 是没有外加电压、处于热平衡

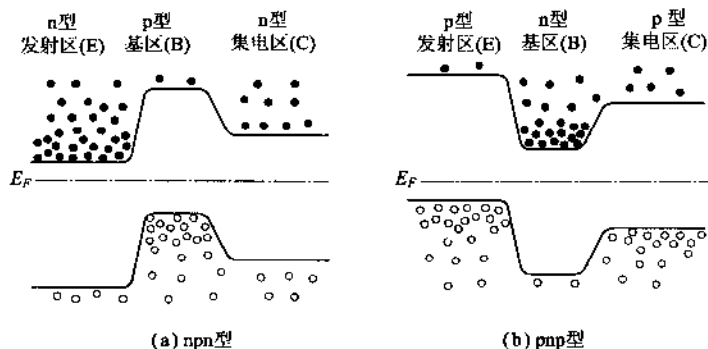


图 5.1 双极晶体管的能带图

状态的双极晶体管能带图,它由三部分组成:基本工作区域的基区(B),向基区注入少数载流子的发射区(E)以及收集流过基区的少数载流子的集电区(C)。

双极晶体管的结构特点是发射区的掺杂浓度比基区高出 $10^3 \sim 10^4$ 倍,而集电区的掺杂浓度则是基区的 $0.1 \sim 0.001$ 。因此,发射区与集电区中费米能级的位置不同,结区耗尽层向杂质浓度低的一侧扩展。为了使发射区注入到基区的少数载流子能够扩散到集电区而不至于因复合在基区消失,基区的宽度应该小于载流子的扩散长度。

在双极晶体管中,当基区被注入少数载流子时,为了满足电中性条件,必然要有多数载流子流入。之所以称为双极型,就是因为总电流与少数载流子和多数载流子都有关。利用两个pn结(发射结和集电结)实现放大作用,被称为晶体管作用,它的工作状态是发射区-基区之间正向偏置,基区-集电区之间反向偏置。

图 5.2 中表示出偏置状态和晶体管的电路符号。

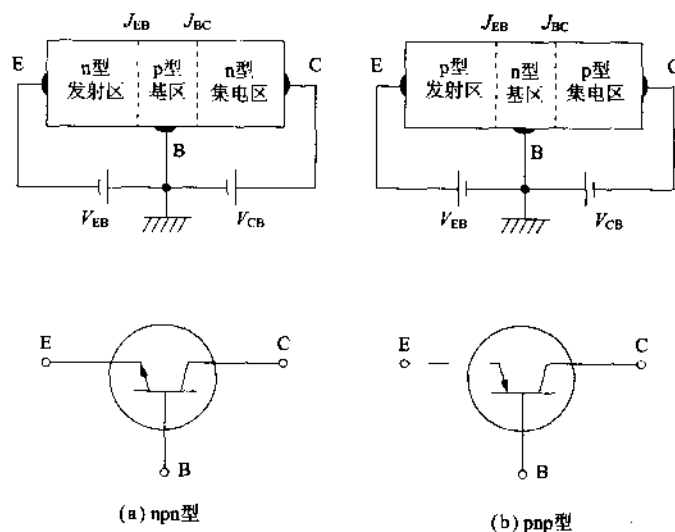


图 5.2 双极晶体管的电路连接与符号

5.1.2 接地电路与电流的流动

晶体管是三端器件,作为放大器件使用时可以有三种接地方式,分别称为发射极接地,基极接地和集电极接地。图 5.3 是 pnp

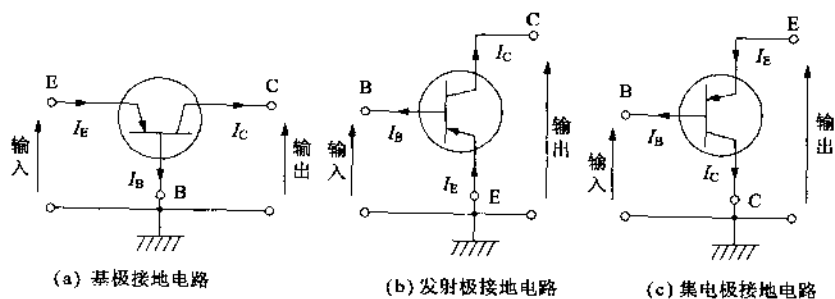


图 5.3 pnp 晶体管的接地方式

型晶体管应用时的三种接地电路示意图。在基极接地电路中,其偏置对于基极来说,发射极为正极性,集电极是负极性。现在分析图 5.4 所示的这种接地方式的能带结构和电流的流动。

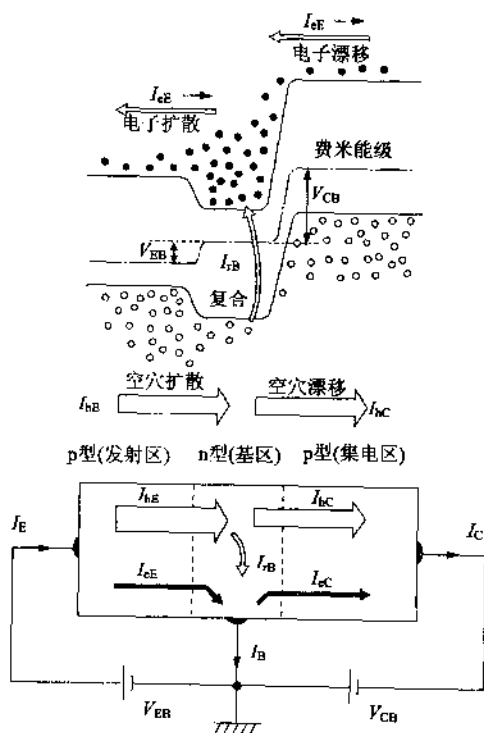


图 5.4 加正偏压的 pnp 晶体管的能带图与电流流动
(箭头表示电流方向,与电子流方向相反)

由于发射结是正偏压,所以空穴由发射区向基区注入,电子由基区向发射区注入,它们构成了发射极电流 I_E 。注入基区的空穴中的一部分会因为与这里的多数载流子电子复合而消失,如果在设计上能够抑制这种复合的话,那么空穴中的大部分将可能到达集电结。到达集电结的空穴被集电结上大的反向电场加速而向集电极输送。这个空穴电流加上反偏压流过的电子电流(反向饱和电流)构成集电极电流 I_C 。

这三种电流之间满足下面关系:

$$I_E = I_C + I_B \quad (5.1)$$

另一方面,集电极电流可以表示为

$$I_C = I_{nC} + I_{pC} = I_{nE} - I_{nB} + I_{pC} \quad (5.2)$$

式中, I_n , I_p 和 I_r 分别是电子电流,空穴电流和复合电流,下标中的 E, B, C 分别表示流过发射区,基区,集电区的电流。此外, I_{pC} 是反向饱和电流,在基极接地时称为集电极截止电流 I_{CBO} 。

改变 V_E 则 I_B 变化,而 I_C 受 I_B 控制。如果输出端的反向电压是一定的,那么当输入端正向偏压改变时各电流都将发生变化。从发射极流向集电极的电流中有电子电流和空穴电流,在 pnp 型晶体管中,空穴电流是传递信号的有效电流,在这里,把从发射极流到集电极总空穴电流的通过率用电流放大系数 α 表示,则有

$$I_C = \alpha I_E + I_{CBO} \approx \alpha I_E \quad (5.3)$$

由于通常满足 $I_{CBO} \ll I_E$, 因此,基极接地时的电流放大系数 α 经常认为是输出端电流相对于输入端电流的变化之比,表示为

$$\alpha = I_C / I_E \quad (V_C \text{ 为一定值}) \quad (5.4)$$

但是,对于交流成分,电流放大系数 α 则应表示为

$$\alpha = \frac{\partial I_C}{\partial I_E} \quad (V_C \text{ 为一定值})$$

发射极接地电路的原理与基极接地电路相同,有 I_E, I_C, I_B 电流流动,但是由于输入电流是 I_B ,所以发射极接地时的电流放大系数 β 为

$$\left. \begin{aligned} \beta &= \frac{\partial I_C}{\partial I_B} \quad (V_C : \text{一定}) \\ &= \frac{\alpha}{1 - \alpha} \end{aligned} \right\} \quad (5.5)$$

如果 $\alpha = 0.99$, 那么 $\beta = 99$, 所以与基极接地相比,发射极接地时具有非常大的电流放大系数。可以用 β 表示集电极电流:

$$I_C = \beta I_B + I_{CBO} \quad (5.6)$$

这里的 I_{CE0} 是当 $I_B = 0$, 也就是输入端开路时的输出电流 I_C , 称为发射极接地时的集电极截止电流 I_{CE0} , 是集电结加反偏压时流过的反向饱和电流。由式(5.1)和(5.3)可以得到它与基极接地时的截止电流 I_{CB0} 之间的关系:

$$I_{CE0} = (1 + \beta) I_{CB0} \quad (5.7)$$

由 α 与 β 的定义, 可以得到 $I_B = I_E / (1 + \beta)$ 的关系。这表明发射极接地时的输入电流 I_B 减小到基极接地时输入电流 I_E 的 $1/(1 + \beta)$ 。换句话说, 这意味着发射极接地电路的输入阻抗可以高达基极接地电路的 $(1 + \beta)$ 倍。

在集电极接地电路中, 输入信号电压加在基极与集电极之间, 从发射极与集电极之间取出输出。这种电路也称为发射极跟随器, 在三种接地形式中这种电路输入阻抗最大, 输出阻抗最小。就是说, 这是一种高输入阻抗、低输出阻抗电路, 因此可以用作阻抗变换。表 5.1 列出了各种接地电路的基本特性。需要注意的是在发射极接地电路中, 输入信号与输出信号之间是反相关系。

表 5.1 各种接地方式的基本特性

	基极接地	发射极接地	集电极接地
电流放大系数	0.95~0.99	20~1000	20~1000
电压放大系数	$10^2 \sim 10^5$	10~100	0.95~0.99
输入阻抗	1~100 Ω	100 Ω ~10 k Ω	10~100k Ω
输出阻抗	100k Ω ~10M Ω	1~100k Ω	1~100 Ω
输入输出信号的位相	同相	反相	同相
特征	低输入阻抗	高功率放大系数	高输入阻抗
	高输出阻抗		低输出阻抗

5.1.3 输入-输出特性

图 5.5 是一个性能良好的发射极接地电路的静态特性曲线。输入特性表示的是以输出电压 V_{CE} 为参量, 输入电压 V_{BE} 与输入电流 I_B 的关系, 曲线的斜率表示在各电压点的输入阻抗。输入特性受集电结电压的影响不大, 与 pn 结二极管正向特性相同。图(b)是输出特性, 表示的是以输入电流 I_B 为参量, 输出电压 V_{CE} 与输出电流 I_C 之间的关系。

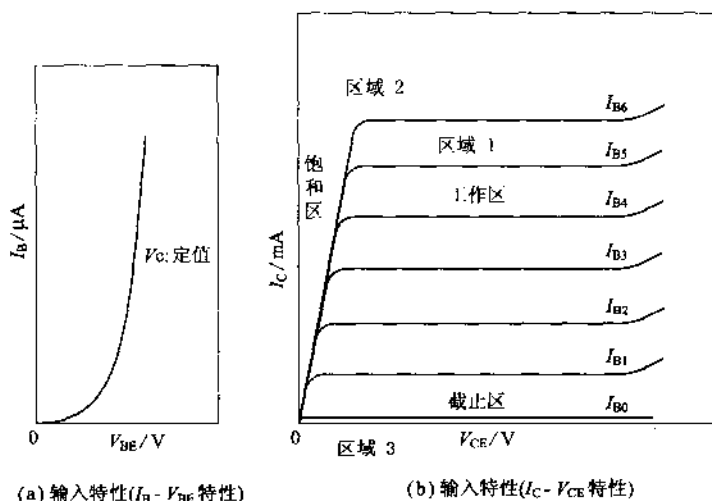


图 5.5 发射极接地电路的静态特性

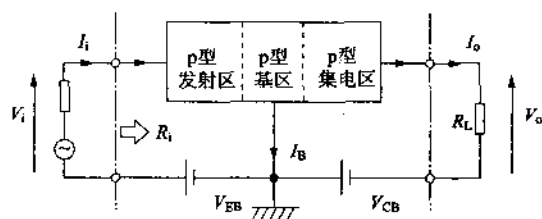
把集电极电流随着基极电流改变而发生大的变化的范围①称为工作区或放大区,这时发射结加正偏压,集电结加反偏压。在该范围内,到达集电结的空穴被强电场扫进集电区,因此,集电极电流的大小依赖于基区的载流子密度,在理想情况下与 V_{CE} 无关,是一定值。但是,实际上,由于沟道长度和反型层电势与 V_{CE} 有关,所以随着 V_{CE} 增大有增加的倾向。 I_C 几乎随 V_{CE} 线性增大的范围②称为饱和区,在饱和区,由于 V_{CE} 小,不仅发射结,而且集电结也处于正向电压。因此,从基区流入集电极的空穴是极少部分,过剩的空穴积累在基区。在该范围内,集电极电流基本上不受基极电流的影响,仅由 V_{CE} 决定,几乎可以看作是短路状态。把 I_B 为零, I_C 非常小的范围③称为截止区,这时发射结、集电结都是反向偏置,没有空穴从发射区向基区注入,各端可以看作是开路状态。

发射极接地时,由于基极电流微小的变化都能引起集电极电流的变化,所以能够实现显著的电流放大作用。由于输出阻抗比输入阻抗大,所以也适用于功率放大。而且,当基极电流在零与有限值之间变化时,引起晶体管在截止状态与激活状态(导通状态)之间的转换,所以具有开关作用。

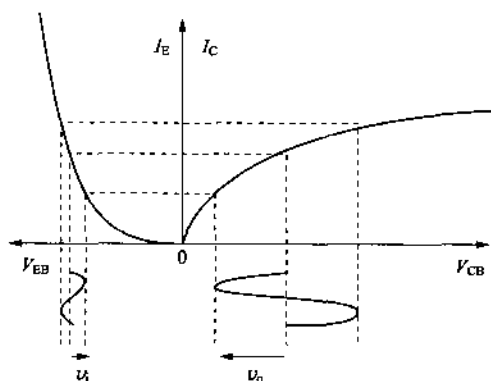
5.2 双极晶体管的工作原理

5.2.1 晶体管的放大功能

为了理解晶体管的放大原理,现分析如图 5.6 所示的 pnp 型晶体管基极接地时两个 pn 结的电流-电压特性。至于 npn 型晶体管,它的原理是相同的,只是把载流子种类调换就可以了。当发射极正向偏置时,发射极电流 I_E 与发射区-基区间电压 V_{EB} 的关系是小的电压变化就可以引起大的电流变化。发射极电流中,与电流放大系数 α 相当的部分将通过基区,称为集电极电流。由于集电结加反偏压,所以,当电压变化时集电极电流的变化比较小。因此,为了获得大的电流变化,必须使集电结电压有大的变化,这样,与输入信号电压 v_i 相对应的输出信号电压 v_o 被放大。



(a) 放大作用的基本组成



(b) 发射结与集电结的电流-电压特性及信号放大原理

图 5.6 晶体管的放大原理

现在计算接有外部阻抗 R_L 与信号源的晶体管电路的放大系数。在图 5.6(b) 中, 如果从输入端看进去的阻抗为 R_i , 输入电流为 I_i , 那么, 流入输入端的功率 P_i 为

$$P_i = I_i^2 R_i \quad (5.8)$$

另一方面, 若输出电流为 I_o , 那么从负载阻抗 R_L 上取出的功率 P_o 为

$$P_o = I_o^2 R_L \quad (5.9)$$

因此, 该电路的功率增益为

$$G = \frac{P_o}{P_i} = \frac{I_o^2 R_L}{I_i^2 R_i} \quad (5.10)$$

如果能够实现 $I_i = I_o$ 的关系, 而且满足 $R_L > R_i$, 那么, G 将大于 1, 从而实现了功率放大。

假设发射结正向偏置, R_i 被控制在比较小的值。关于 R_L , 如果晶体管基区-集电区之间电阻高, 集电结能够加上足够的电压, 那么, 即使外接高阻抗的 R_L , 晶体管也能工作。因此, 工作在集电结反向偏置的放大区, 可以连接大的负载电阻 R_L 。 $I_i = I_o$ 的关系相当于电流放大系数 α 接近 1, 下面将推导流过晶体管的电流表达式。

5.2.2 晶体管内部的电流输运机理

图 5.7 是 pnp 型晶体管能带结构及其相应的载流子浓度变化

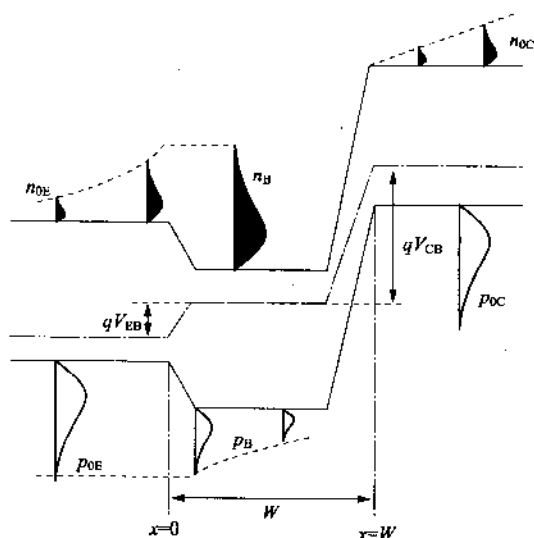


图 5.7 加正偏压时 pnp 晶体管中载流子浓度的变化

示意图。器件处于发射结正向偏置,集电结反向偏置状态,定义发射结发射区一侧的位置为 $x=0$,集电结集电区一侧的端点为 $x=W$,基区宽度则为 W 。从发射区一侧向基区注入的空穴密度为 p_B ,热平衡状态基区的空穴密度为 p_{0B} ,空穴的寿命为 τ_h ,扩散系数为 D_h ,那么可以用一维扩散方程表示从发射区注入到基区的空穴的运动:

$$\frac{\partial p_B}{\partial t} = \frac{p_B - p_{0B}}{\tau_h} + D_h \frac{\partial^2 p_B}{\partial x^2} \quad (5.11)$$

空穴电流密度 I_h 可以表示为漂移电流与扩散电流之和表示:

$$I_h = q p_B \mu_h E - q D_h \frac{\partial p_B}{\partial x} \quad (5.12)$$

式中, μ_h 是空穴的迁移率, E 是基区内的电场强度。

$x=0$ 处(发射区的端点)的空穴密度为 p_E , $x=W$ 处(集电区的端点)的空穴密度为 p_C , 它们分别表示为

$$p_E = p_{0E} \exp(q V_{EB} / k T) \quad (5.13)$$

$$p_C = p_{0C} \exp(q V_{CB} / k T) \quad (5.14)$$

这里, V_{EB} 是发射区-基极之间的偏压, V_{BC} 是基区-集电区之间的偏压。由于集电结加的是反向偏压, 所以偏压几乎全降落在集电结上, 基区内的电场强度很小, 可以忽略不计。那么, 当 $E=0$ 时, 式(5.12)可以写为

$$I_h \approx -q D_h \frac{\partial p_B}{\partial x} \quad (5.15)$$

在稳定状态, $\partial p_B / \partial t = 0$, 所以式(5.11)的左边为零, 于是有

$$\frac{\partial^2 p_B}{\partial x^2} = \frac{p_B - p_{0B}}{D_h \tau_h} \quad (5.16)$$

解式(5.16), 取通解为 $\exp(\pm ax)$ 的线性组合, 求得 $a = 1/(D_h \tau_h)^{1/2}$, 则有

$$p_B - p_{0B} = C_1 \exp\left(-\frac{x}{\sqrt{D_h \tau_h}}\right) + C_2 \exp\left(\frac{x}{\sqrt{D_h \tau_h}}\right) \quad (5.17)$$

式(5.17)中的积分常数 C_1 和 C_2 由下面边界条件确定:

$$p_B = p_E \quad (x=0) \quad (5.18)$$

$$p_B = p_C \quad (x=W) \quad (5.19)$$

将 C_1, C_2 代入式(5.17), 就得到最终的解:

$$p_B - p_{0B} = \frac{(p_E - p_{0B}) \sinh\left(\frac{W-x}{L_h}\right) + (p_C - p_{0B}) \sinh\left(\frac{x}{L_h}\right)}{\sinh\left(\frac{W}{L_h}\right)} \quad (5.20)$$

将式(5.20)代入式(5.15),得到流过发射结的空穴电流 I_{hE} :

$$\begin{aligned} I_{hE} &= -qD_h \left[\frac{dp_h}{dx} \right]_{x=0} = \frac{qD_h}{L_h} \left\{ \frac{p_E - p_{0B}}{\tanh\left(\frac{W}{L_h}\right)} - \frac{p_C - p_{0B}}{\sinh\left(\frac{W}{L_h}\right)} \right\} \\ &= \frac{qD_h p_{0B}}{L_h} \left\{ \frac{\exp\left(\frac{qV_{EB}}{kT}\right) - 1}{\tanh\left(\frac{W}{L_h}\right)} - \frac{\exp\left(\frac{qV_{CB}}{kT}\right) - 1}{\sinh\left(\frac{W}{L_h}\right)} \right\} \quad (5.21) \end{aligned}$$

式中, $p_E - p_{0B}$ 和 $p_C - p_{0B}$ 是用式(5.13)和式(5.14)的关系式整理, 另外还使用了扩散长度 $L_h = (D_h \tau_h)^{1/2}$ 的关系。

用同样的分析,可以得到流过集电结的空穴电流:

$$I_{hC} = \frac{qD_h p_{0B}}{L_h} \left\{ \frac{\exp\left(\frac{qV_{EB}}{kT}\right) - 1}{\sinh\left(\frac{W}{L_h}\right)} - \frac{\exp\left(\frac{qV_{CB}}{kT}\right) - 1}{\tanh\left(\frac{W}{L_h}\right)} \right\} \quad (5.22)$$

在式(5.12)和式(5.13)中, V_{CB} 是反偏压,其值比较大,若近似地令 $\exp(-qV_{CB}/kT) = 0$,那么式(5.21)和式(5.22)可以表示为

$$I_{hE} = I_{hE0} \left\{ \exp\left(\frac{qV_{EB}}{kT}\right) - 1 \right\} + \beta' I_{hE0} \quad (5.23)$$

$$I_{hC} = \beta' I_{hE0} \left\{ \exp\left(\frac{qV_{EB}}{kT}\right) - 1 \right\} + I_{hE0} \quad (5.24)$$

$$\text{式中, } I_{pE0} = \frac{qD_h p_{0E}}{L_h \cdot \tanh\left(\frac{W}{L_h}\right)} \quad (5.25)$$

$$\beta' = \frac{1}{\cosh\left(\frac{W}{L_h}\right)} \quad (5.26)$$

另一方面,流过发射结和集电结的电子电流密度 I_{eE}, I_{eC} 可以分别表示为

$$I_{eE} = \frac{qn_{0E}D_e}{L_e} \left\{ \exp\left(\frac{qV_{EB}}{kT}\right) - 1 \right\} \quad (5.27)$$

$$I_{eC} = \frac{qn_{0C}D_e}{L_e} \left\{ \exp\left(\frac{qV_{CB}}{kT}\right) - 1 \right\} \quad (5.28)$$

式中, n_{0E}, n_{0C} 分别是热平衡状态下发射区和集电区的电子密度。总发射极电流 I_E 等于空穴电流与电子电流之和,用式(5.23)和式(5.27),得到

$$\begin{aligned} I_E &= I_{hE} + I_{eE} \\ &= I_{hE0} \left\{ \exp\left(\frac{qV_{EB}}{kT}\right) - 1 \right\} + \beta' I_{hE0} + \frac{qn_{0E}D_e}{L_e} \end{aligned}$$

$$\times \left\{ \exp\left(\frac{qV_{EB}}{kT}\right) - 1 \right\} \quad (5.29)$$

总集电极电流可以用式(5.24)和式(5.28)表示为

$$\begin{aligned} I_C &= I_{hC} + I_{eC} \\ &= \beta' I_{hEO} \left\{ \exp\left(\frac{qV_{EB}}{kT}\right) - 1 \right\} + I_{hCO} - \frac{qn_{0C}D_c}{L_c} \\ &\quad \times \left\{ \exp\left(\frac{qV_{CB}}{kT}\right) - 1 \right\} \end{aligned} \quad (5.30)$$

因此,电流放大系数 α 为

$$\alpha = \frac{I_C}{I_E} = \frac{I_{hC} + I_{eC}}{I_{hE} + I_{eE}} \quad (5.31)$$

再将式(5.29)和式(5.30)代入式(5.31),并考虑到 $\exp(-qV_{CB}/kT) \ll 1$, $\exp(-qV_{EB}/kT) \gg 1$, 那么,式(5.31)可以化简为

$$\alpha = \frac{\beta' I_{hEO}}{I_{hEO} + \frac{qn_{0E}D_c}{L_c}} \quad (5.32)$$

再将式(5.17)代入该式,则有

$$\alpha = \frac{\beta' I_{hEO}}{\cosh\left(\frac{W}{L_h}\right) + \frac{n_{0E}L_hD_c}{p_B L_c D_h} \sinh\left(\frac{W}{L_h}\right)} \quad (5.33)$$

从式(5.33)可以看出,为了提高 α ,有必要减小 W 。当设计 $W_h \ll L_h$ 时,可以利用下式近似:

$$\sinh\left(\frac{W}{L_h}\right) \approx \frac{W}{L_h}, \quad \cosh\left(\frac{W}{L_h}\right) \approx 1 + \frac{1}{2} \left(\frac{W}{L_h}\right)^2$$

则得到

$$\alpha = 1 - \left(\frac{n_{0E}}{p_B}\right) \left(\frac{W}{L_c}\right) \left(\frac{D_c}{D_h}\right) - \frac{1}{2} \left(\frac{W}{L_h}\right)^2 \quad (5.34)$$

对于 pnp 型晶体管来说,为了提高 α 除了必须减小 W 外,增大 L_h , D_h 和 p_B 也是很重要的。所以这一结果,就像本章开始时所讲到的那样,在设计晶体管时,应使发射区的受主杂质密度比基区的施主杂质密度大很多,以提高注入到基区的空穴密度,减少发射区无用的电子电流。

为了抑制由发射区注入的空穴因复合而消失的现象,应使基区宽度小于空穴的扩散长度 L_h 。但是,过于窄的基区宽度不仅在技术上难于实现,而且由于发射结和集电结的耗尽区将会向基区扩展,导致三个区短路的穿通现象发生,使晶体管失效。通常,基区的宽度约 $1\mu\text{m}$ 至几微米,高频晶体管设计在 $1\mu\text{m}$ 以内。

5.3 晶体管的性能参数(α_0^* , β_0 , γ_0 , f_α)

现在我们返回到图 5.4, 进一步详细分析流过晶体管各部分的电流成分。图中的 I_E 是流过发射区的总电流, I_{hE} 是由发射区注入到基区的空穴扩散电流, I_{eE} 是基区注入到发射区的电子扩散电流, I_{hC} 是注入到基区的空穴电流中到达集电结的电流, I_{eB} 是注入到基区的空穴与基区中的电子形成的复合电流, I_{eC} 是集电区少数载流子电子流过基区的电流, I_C 为流过集电区的总电流。

对实际的晶体管来说, 式 (5.3) 表示的电流放大系数 α 约为 0.95~0.99, 略小于 1。根据图 5.4 所示的各电流成分, 如果把 α 分为三部分考虑, 将比较容易理解晶体管的放大作用。就是说:

$$\alpha = I_C / I_E = (I_{hE} / I_E) (I_{hC} / I_{hE}) (I_C / I_{hC}) = \gamma_0 \beta_0 \alpha_0^*$$

这里, $\gamma_0 = I_{hE} / I_E$ 为发射区注入效率, $\beta_0 = I_{hC} / I_{hE}$ 为基区输运效率, $\alpha_0^* = I_C / I_{hC}$ 为收集效率。

5.3.1 发射极注入效率 γ_0

通常, 由于发射结是正向偏置, 所以, 空穴从发射区流向基区, 电子由基区流向发射区。总发射极电流为电子电流 I_{eE} 与空穴电流 I_{hE} 之和, 其中, 对 α 有贡献的只是空穴电流, γ_0 表示为

$$\gamma_0 = \frac{I_{hE}}{I_{hE} + I_{eE}} \quad (5.35)$$

将式 (5.23) 和式 (5.24) 分别代入 I_{hE} 和 I_{eE} , 并考虑到 β 是接近 1 的值, 于是得到

$$\gamma_0 = 1 - \left(\frac{n_{0E}}{p_{0B}} \cdot \frac{W}{L_e} \cdot \frac{D_e}{D_h} \right) \quad (5.36)$$

注入效率取决于基区和发射区的扩散系数、扩散长度及多数载流子密度。实际上, 发射区的受主杂质浓度比基区的施主杂质浓度大得多, 使得 $p_{0B} \gg n_{0E}$, 所以可以设计使 γ_0 尽可能地接近 1。

5.3.2 基区输运效率 β_0

由于基区几乎没有外加电场, 所以注入到基区的空穴是以扩散形式向集电结运动。但是, 因为一部分空穴与基区中的多数载

流子复合而消失,所以并不是所有的空穴都能够到达集电结。把能够到达集电结的那部分所占的比例定义为基区输运效率 β_0 ,它近似为基区宽度 W 和空穴扩散长度 L_h 的函数。就是说,对于式(5.23)和式(5.24),认为第二项非常小,可以忽略不计,这时求 I_{hc} 与 I_{he} 之比,得到 β_0 等于 β' :

$$\beta_0 = \beta' = \frac{1}{\cosh(W/L_h)} \approx 1 - \frac{1}{2} \left(\frac{W}{L_h} \right)^2 \quad (5.37)$$

因此,为了提高 β_0 ,必须抑制电子与空穴的复合,从式(5.37)看出,有效的方法是减小 W ,增大 L_h 。

5.3.3 收集效率 α_0^*

流过集电区的空穴电流占总电流之比称为固有收集效率,表示为

$$\alpha_0^* = \frac{I_{hc} + I_{ec}}{I_{hc}} = 1 + \frac{n_c \cdot \mu_e}{p_c \mu_h} \quad (5.38)$$

式中第二项含有载流子密度和迁移率,由于在集电区 $n_{oc} \ll p_{oc}$,所以可以使该式近似为1。但是,到达集电结的空穴在受到集电结强反向偏压的加速时,会发生一种与半导体种类及结面形状有关的“雪崩现象”,这就是载流子的倍增效应。把这种倍增率定义为集电结雪崩倍增系数,在通常的晶体管工作中不妨把它看作1。

综上所述, α 基本上接近1,发射极电流的变化量差不多就是集电极电流的变化量,而输入、输出阻抗的差异使得能够实现高的功率增益。

5.3.4 高频特性

前面所讨论的电流特性,是晶体管在低频工作条件下的直流工作行为。现在讨论在高频条件下的工作。直流状态下空穴密度随时间的变化 $\partial p / \partial t$ 为零,但是在高频情况下,该项就不能忽视。设从发射区交流注入到基区的空穴密度为 $p - p_0$,表示为

$$p - p_0 = \Delta p \exp(j\omega t) \quad (5.39)$$

那么,

$$\frac{\partial p}{\partial t} = j\omega \Delta p \exp(j\omega t) = j\omega (p - p_0) \quad (5.40)$$

将此式代入式(5.11),则有

$$\frac{\partial^2 p}{\partial x^2} = \frac{(1+j\omega\tau_b)(p-p_0)}{\tau_b D_b} \quad (5.41)$$

将该式与式(5.16)相比较,可以看到这样的对应关系:

$$\tau_b D_b \quad [\text{直流}] \rightarrow \tau_b D_b (1+j\omega\tau_b) \quad [\text{交流}]$$

因此,处于交流状态的空穴的扩散长度用下式表示:

$$L_b = \sqrt{\frac{\tau_b D_b}{1+j\omega\tau_b}} \quad (5.42)$$

利用这个关系,比较高频电流放大系数 α_H 与低频电流放大系数 α_L , 就得到

$$\frac{\alpha_L}{\alpha_H} = \frac{\cosh(W/L_b)}{\cosh\left(\frac{W\sqrt{1+j\omega\tau_b}}{L_b}\right)}$$

图 5.8 表示这个结果。就是说,如果频率提高,那么与信号周期相对应,基区中空穴的渡越时间变短。结果导致空穴渡越到集电结的到达率减少,电流放大系数降低。把 α_H/α_L 降低到 $1/\sqrt{2}$ (降低 3dB) 时的频率称为 α 截止频率,用 f_α 表示。设 D 为扩散系数,则有

$$f_\alpha = D/\pi W^2 \quad (5.43)$$

在发射极接地电路中,在高频工作状态,电流放大系数 β 与频率的关系如图 5.8 中的粗线所示,也随频率的提高而降低。同样地,把降低 3dB 时的频率称为 β 截止频率 f_β :

$$f_\beta = (1-\alpha)f_\alpha = (\alpha/\beta)f_\alpha \approx f_\alpha/\beta \quad (5.44)$$

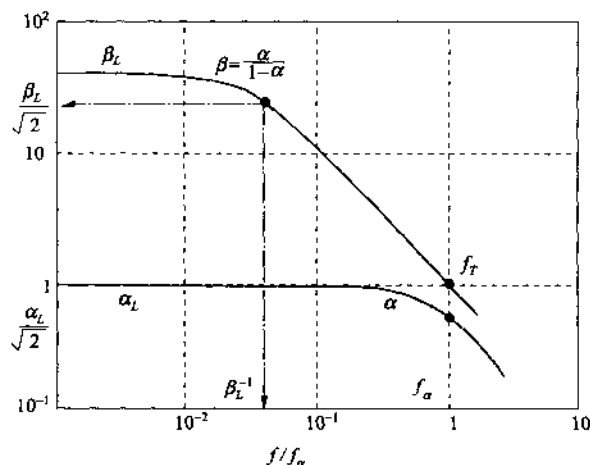


图 5.8 归一化电流放大系数 α, β 的频率特性

β 值比 α 大, 所以 f_β 比 f_α 小。另外把 β 下降到 1 时的频率定义为截止频率 f_T , 它给出发射极接地电路的频率限。该值很接近 f_α 。

在高频情况下, 不仅有基区渡越的延迟时间, 而且还出现集电结电容的影响。就是说, 由于结电容将使得阻抗降低, 限制了流过输出端的电流。另外, 这时电容的充放电电流流过基区扩展阻抗, 它的时常数对频率特性也有影响。

提高截止频率的具体方法:

(1) 选择扩散系数大的材料。电子的扩散系数大, 所以 npn 型晶体管对频率特性有利。

(2) 设法降低基区扩展电阻, 并减小基区宽度, 以缩短基区渡越时间。

5.4 漂移晶体管

5.4.1 载流子扩散的渡越时间

前面谈到晶体管的高频特性受到载流子在基区渡越时间的严重影响, 现在具体讨论实际的渡越时间。设渡越基区的少数载流子速度为 $v(x)$, 载流子密度为 $n(x)$, 则基区中扩散电流的电流量式为

$$I = qn(x)v(x) = qD \frac{dn(x)}{dx} \quad (5.45)$$

如果 $W \ll L$ 关系成立, 那么基区中的载流子浓度分布基本上按一定的斜率变化, 可以用下式近似:

$$n(x) = n(0)\{1 - (x/W)\} \quad (5.46)$$

把该式代入电流的表达式, 求得

$$v(x) = D/(W - x) \quad (5.47)$$

基区中少数载流子的渡越时间 τ_B 用下式表示:

$$\tau_B = \int_0^W \frac{1}{v(x)} dx = \frac{W^2}{2D} \quad (5.48)$$

可以看出, 如果减小 W , 增大 D 就可以减少 τ 。例如, 当基区宽度为 $1\mu\text{m}$, 扩散系数为 $10\text{cm}^2/\text{s}$ 时, 渡越时间为 500ps , 工作频率界限约为 2GHz 。

5.4.2 漂移晶体管的结构和原理

漂移晶体管是一种有效利用载流子的漂移效应缩短基区渡越时间,改善高频特性的器件,以 npn 型晶体管为例来分析。在施主杂质浓度低的 n 型半导体上扩散高浓度的受主杂质,形成有浓度梯度的 p 型基区并构成集电结。然后,再在其上扩散高浓度的施主杂质,形成发射结,这样制作成漂移晶体管,其杂质分布示意图如图 5.9(a)所示。在基区中接近发射结的部分由于受主浓度高,费米能级接近价带,在接近集电结的附近,由于受主浓度低所以费米能级靠近禁带的中央。就是说,从发射区注入基区的载流子通常是以扩散运动通过基区的,而在这里如果加有高电场对载流子加速,就可以改善频率特性。

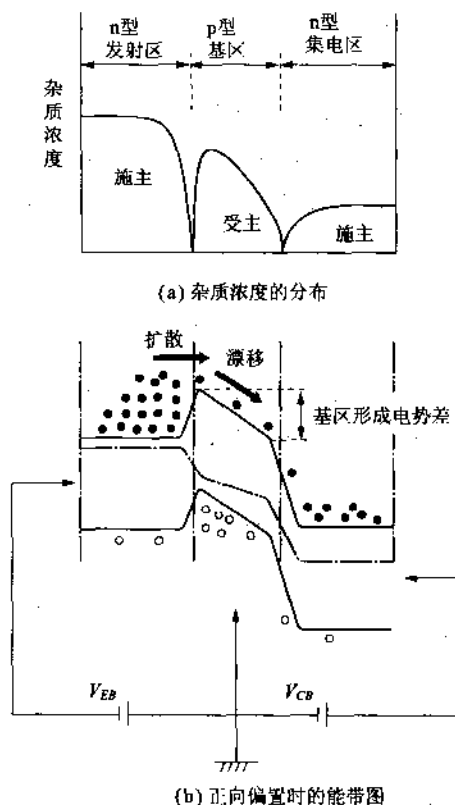


图 5.9 漂移晶体管的工作原理

但是,由于外加电场几乎全都降落在高阻的 pn 结区,很难在基区内形成高电场。如果在基区内形成杂质浓度的倾斜分布,使导带底的能量随位置变化,那么就会形成电场。图 5.9(b)就是这种情况的能带示意图,基区靠近发射区的部分受主浓度高,多数载流子空穴密度大,这里的空穴向靠近集电区的受主浓度低的方向扩散,从而形成一个扩散电势。

由于这种漂移晶体管的基区杂质浓度高,所以电阻率低,而且在靠近集电区附近受主浓度低,使得耗尽层变宽,也减小了集电结电容。结果,形成了靠近发射结一侧为负极性,靠近集电结一侧为正极性的内建电场,而处于平衡状态。注入到基区的电子被这个电场加速,便可以在短时间内迅速到达集电结,基区渡越时间被缩短到通常的 $1/2$ 以内。由于电子比空穴的迁移率和扩散系数大,所以采用基区中电子是少数载流子的 npn 型结构在高频特性方面具有优势。

5.5 晶闸管与 SCR, GTO

晶闸管(thyristor)是由三个以上的 pn 结构成,其电流-电压特性至少在一个象限内具有导通与关断两个稳定的状态,并能够直接从导通到关断,从关断到导通状态过渡的半导体开关器件的总称,有 2 端、3 端、4 端等多种类型,应用于电力控制和交直流变换等领域。

5.5.1 晶闸管的结构与工作原理

图 5.10(a)是一种由 p_1, n_1, p_2, n_2 四层构成,具有 J_1, J_2, J_3 三个结的 pnpn 型晶闸管的结构示意图。把 p_1 称为阳极, n_1, p_2 称为基区, n_2 称为阴极,从工作特性角度把这种结构称为反向阻断二极管晶闸管。这种晶闸管的电流-电压特性示于图 5.11,在第一象限内显示出电流控制型负阻特性,在第三象限中的击穿前电流被阻断。

如图 5.10(b)所示,如果把它看成是一个 pnp 型晶体管与一个 npn 型晶体管的集电区与基区分别连结组合在一起的话,就不难理解它的工作原理了。

1. 非导通区

在阳极相对于阴极加正电压 V_A 的情况下, J_1, J_3 为正偏压, J_2

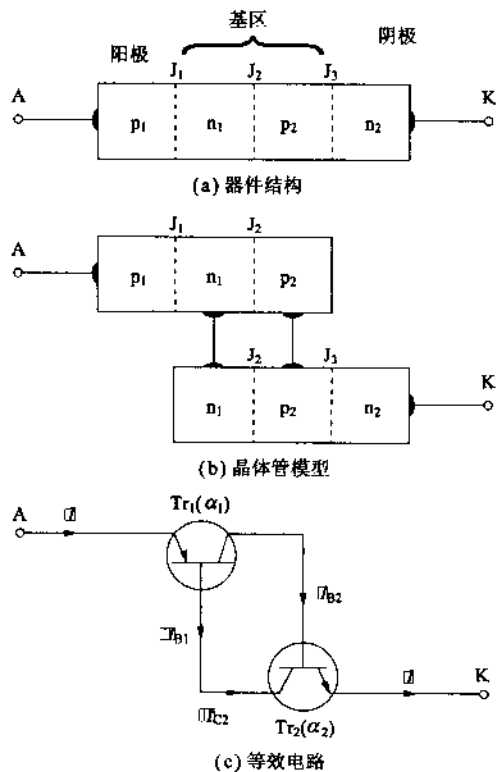


图 5.10 反向阻断二端晶闸管的结构与工作原理

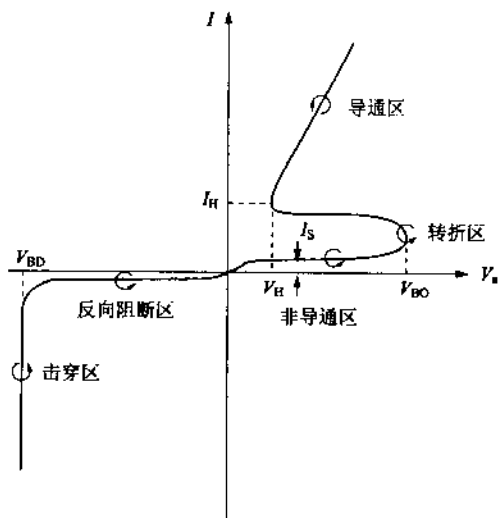


图 5.11 反向阻断二端晶闸管的电流-电压特性

为反偏压。如果设计基区层 n_1, p_2 都比通常的晶体管基区宽度大, pnp 型晶体管和 npn 型晶体管的电流放大系数 α_1 和 α_2 的值都小, 而且满足 $\alpha_1 + \alpha_2 < 1$ 的话, 那么几乎没有电流流过。这种状态称为正向阻断状态。

2. 负阻区

如果增大外加电压, 加在 J_2 部分的反偏压增大, 耗尽层扩展, 在内部形成高电场。同时, 由于基区宽度减小, 所以 α_1 和 α_2 变大, 如果达到 $\alpha_1 + \alpha_2 = 1$, 就将发生电子雪崩现象, 使电流急剧增大, 呈现出负阻特性, 成为导通状态。这时的电压称为转折电压 V_{BO} 。这时即使偏压稍有下降但是电流仍然继续流动, 产生高速开关的作用。为了返回阻断状态必须减小电压, 或改变偏压极性。为了保持导通状态所必须的最低电压和电流分别称为保持电压 V_H 和保持电流 I_H 。

3. 导通区

如果继续增加处于负阻状态的器件端电压, 那么 α_1 和 α_2 将继续变大, 以至于 $\alpha_1 + \alpha_2 > 1$, 这时如图 5.12 所示, n_1 中注入大量的电子, p_2 中注入大量的空穴并积累在那里。这种状态下, J_2 上所加的反偏压因为电荷的储存而消失, J_2 处的电场减弱, 注入到 n_1 中的电子和注入到 p_2 中的空穴数目都减少, 其结果, α_1 和 α_2 都减小, $\alpha_1 + \alpha_2 < 1$, 再没有大电流流过。但是, 由于 J_2 上加的是正偏压, 所以整个器件处于低阻的导通状态。

另外, 在器件加反偏压的情况下, J_1 和 J_3 处于反偏状态, 直到电压增加到反向阻断电压之前都几乎没有电流流过。通常基区 n_1 掺杂浓度高, 所以, 反偏压的大部分是加在 J_1 结上的。因此, 为了增大反向阻断电压, 要增加 n_1 层的厚度, 不过, 这会降低开关的速度。

下面分析正向电流。如果各晶体管的反向饱和电流分别为 I_{r1}, I_{r2} , 基极电流为 I_{B1} , 那么根据 $I_{B1} = (1 - \alpha_1)I - I_{r1}$, $I_{C2} = \alpha_2 I + I_{r2}$, $I_{B1} = I_{C2}$ 的关系, 得到

$$I = \frac{I_{r1} + I_{r2}}{1 - (\alpha_1 + \alpha_2)} \quad (5.49)$$

因为式(5.49)分子值很小, 所以在 $\alpha_1 + \alpha_2 = 1$ 附近 I 值由零急剧增大。

5.5.2 SCR(silicon controlled rectifier)

SCR 是在反向阻断二端晶闸管的基区(n_1 或 p_2)增加一个栅极形成的三端器件, 称为可控硅整流器。它的结构及晶体管模型

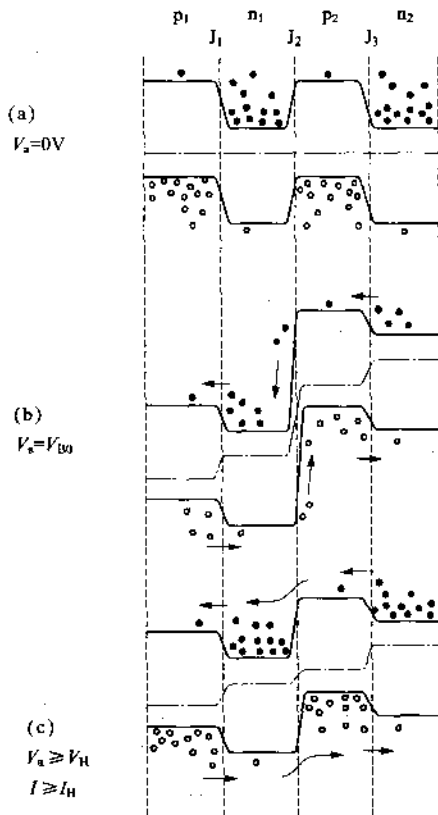


图 5.12 晶闸管在各工作点的能带图

示于图 5.13。它的工作原理是基于从新增加的栅极上有基区电流流过时,使上一节所讲的晶闸管处于 $\alpha_1 + \alpha_2 = 1$ 的状态,从而降低了转折电压。利用晶体管模型,可以对 SCR 的工作原理作定量的分析。 T_{r1} 和 T_{r2} 两个晶体管的集电极电流表示为

$$I_{C1} = \alpha_1 I_A + I_{r1}$$

$$I_{C2} = \alpha_2 (I_A + I_{C1}) + I_{r2}$$

由于 SCR 的主电流 $I_A = I_{C1} + I_{C2}$,将这两个表达式整理后就得到

$$I_A = \frac{\alpha_2 I_G + (I_{r1} + I_{r2})}{1 - (\alpha_1 + \alpha_2)} \quad (5.50)$$

如果满足 $\alpha_1 + \alpha_2 = 1$ 的条件,那么根据上式 I_A 将变为无穷大,这时 SCR 进入导通状态。

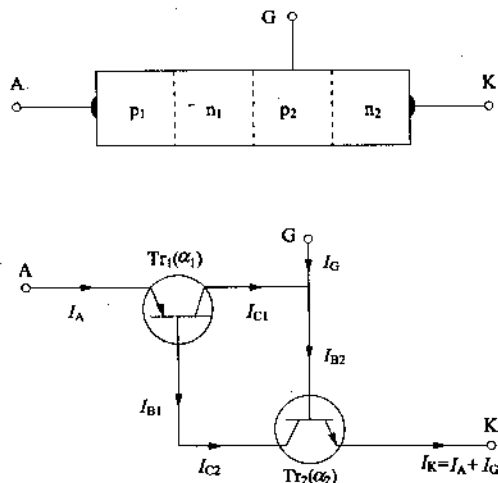


图 5.13 SCR 的器件结构与晶体管模型

可以通过图 5.12 中的能带图说明这一点,当阳极-阴极间正向偏置的状态,栅极-阴极之间也加正偏压时,会有栅极电流流过,电子从阴极通过 n₂ 流向 p₂,未被栅极吸收而到达 n₁ 的电子在加有反偏压的 J₂ 处产生电子雪崩现象,与反向阻断二端晶闸管相同,器件从非导通区向导通区过渡。

图 5.14 是 SCR 的电流-电压特性,根据栅极电流的大小能够

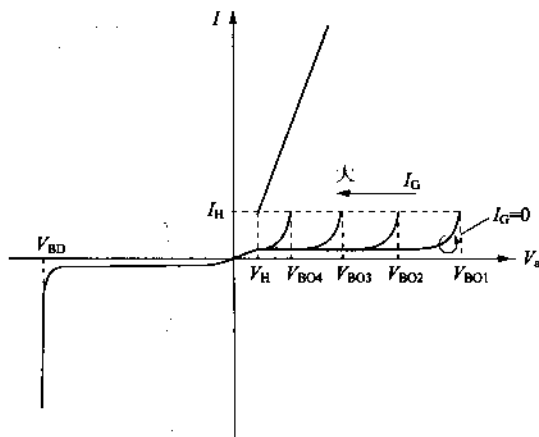


图 5.14 电流-电压特性

控制转折电压。如果导通状态的电流值比保持电流大的话,那么即使栅极电流停止,器件也能维持在导通状态。与两端晶闸管情况相同,为了恢复到非导通区,有必要截断电源或加以反电势。

5.5.3 GTO(gate turn off)

GTO 晶闸管是一种通过从栅极引出电流,强行使器件从导通状态转向到关断状态,阻断阳极-阴极间主电流的晶闸管。现在分析图 5.13 的等效电路中栅极电流反向流动(负值)的情况。这种情况下, T_{r2} 的基极电流 I_{B2} 和 T_{r1} 的集电极电流 I_{C1} 分别为

$$I_{B2} = (I_A + I_G)(1 - \alpha_2) - I_{r2} \quad (5.51)$$

$$I_{C1} = \alpha_1 I_A + I_{r1} \quad (5.52)$$

晶闸管向关断状态过渡的条件为

$$I_{C1} + I_G < I_{B2}$$

由于 I_{r1} , I_{r2} 比主电流小得多,可以忽略不计,上式可以写为

$$I_A < \left(\frac{\alpha_2}{\alpha_1 + \alpha_2 - 1} \right) (-I_G) = \beta (-I_G) \quad (5.53)$$

式中, β 称为电路关断增益,由下式定义:

$$\beta = \frac{\alpha_2}{\alpha_1 + \alpha_2 - 1} \quad (5.54)$$

为了提高 β ,应该减小 α_1 ,并使 α_2 值接近 1。图 5.15 是 GTO 的基本结构,阴极电极被分割为若干个,它的周围被栅电极包围,阴极-栅极之间,由于它们比较靠近,所以满足前面的条件,在 n_1 , p_2 中积累的载流子从栅电极附近依次作为栅极电流排出,实现器件的电路关断。

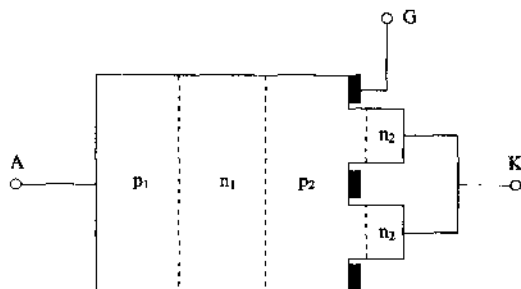


图 5.15 GTO 的基本结构

晶闸管广泛应用于调光器,电动机的转速控制,温度控制装置等直流电流、电力的控制,逆变器、换能器之类的交直流变换。这些装置中,除了利用 SCR, GTO 以外,还应用在第三象限也具有与第一象限相同特性的两极型 SCR 的 DIAC, TRIAC 等器件。它们都列于表 5.2 中。

影响电流放大系数的其他因素

基区扩展电阻

基区电流是从基区注入到发射区的少数载流子注入电流以及与从发射区注入到基区的少数载流子复合而形成的电流之和,这些电流流过基区时所遇到的电阻称为基区电阻。基区电阻可以分为发射区下方的内部基区电阻和从发射区下方到基极端的外部基区电阻两部分,把前者称为基区扩展电阻。基区扩展电阻产生的电压降,在发射结的中心部及周围形成电位分布,产生使电流集中于周围的自偏压阻断效应,是电流放大系数下降的原因之一。

厄利(Early)效应

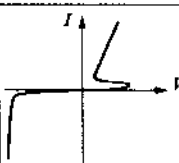
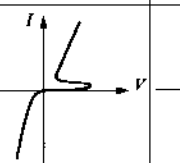
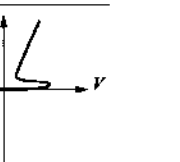
在本章的分析中,认为在放大区集电极电流与集电区-基区之间电压没有依赖关系,但是实际的直流特性,即使在放大区, I_C 也随着 V_{CE} 的增加而缓慢增加。这是由于 V_{CE} 的增加使集电结的耗尽区宽度变宽,导致有效基区宽度减小,因此电流放大系数增大。这种现象,以发现者名字命名,称为厄利(Early)效应。

实际的放大电路中外部电路连接着负载阻抗,在这里因交流电成分引起的电压降可以使集电极电位发生交流变化。因此,厄利效应引起基区宽度的变化也是交变的,这种现象称为基区宽度调制效应,这就是交流也会引起电流放大系数变化的原因。

表面复合

实际的晶体管中,发射结是一种曲面结,而且发射结面积与集电结面积不相等,注入基区的少数载流子向集电结运动时形成扩展分布。因此,少数载流子的一部分不能到达集电结面,而是在基区表面就被复合掉,使电流放大系数下降。通常,如果基区宽度小于发射结与集电结半径之差的 $1/5$ 的话,可以忽略表面复合的影响,所以设计结面积时应考虑到基区宽度。

表 5.2 晶闸管的电流-电压特性及特征

	基极接地	发射极接地	集电极接地
电流-电压特性			
第一象限	开关作用	开关作用	开关作用
第三象限	阻断状态	导通状态	开关作用
种类	反向阻断 2 端晶闸管 SCR GTO	反向导通 2 端晶闸管 反向导通 3 端晶闸管	DIAC TRIAC

练习题

1. 画出发射极接地的 npn 型晶体管放大电路的等效电路,并用基极接地的电流放大系数 α 表示发射极接地的电流放大系数 β 。
2. 用能带图说明 npn 型双极晶体管放大原理。
3. 一个 npn 型晶体管,基区宽度为 $2\mu\text{m}$,基区中电子扩散系数为 $30\text{cm}^2/\text{s}$ 。试求出少数载流子的基区渡越时间和 α 截止频率。
4. 试推导关系式 $I_{\text{CEO}} = (1 + \beta) I_{\text{CBO}}$ 。
5. 试说明 SCR 的工作原理。

第 6 章

MOS 型控制器件

第五章学习的双极型晶体管是以 pn 结为基本结构,由注入的少数载流子以及与之保持电中性而流入的多数载流子的行为决定器件的工作特性。但是,硅集成电路中更多采用的是 MOS 型场效应晶体管。这是因为它的沟道电流受与之垂直的电场的控制,因而具备适合于低功耗和小型化的结构形式及工作条件,它与双极型晶体管最重要的区别在于多数载流子成为传导的主角。

本章中,将学习 MOS-FET(field effect transistor)的结构、工作原理及基本特性,然后介绍应用 MOS-FET 的存储器、电荷转移器件等功能器件的结构与工作原理。

6.1 场效应晶体管的工作原理

6.1.1 场效应晶体管的分类与结构

场效应晶体管是只与电子或空穴一种载流子的行为有关的单极晶体管,如图 6.1 所示,它包括由 pn 结形成栅极的结型 FET、由金属-半导体肖特基势垒结形成的肖特基势垒型 FET 以及金属-绝缘体-半导体接触形成的 MIS-FET。在 MIS-FET 中,特别把绝缘层是氧化物所构成的器件称为 MOS-FET,具体到采用半导体硅的情况,就是利用稳定的氧化硅(SiO_2)作为栅绝缘层。

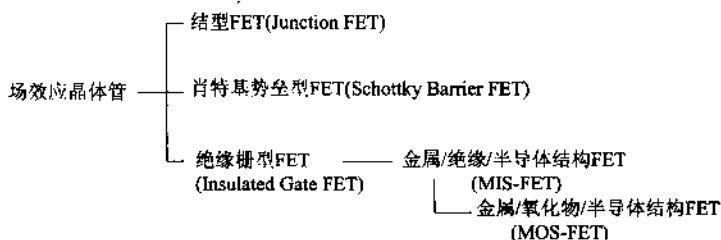


图 6.1 场效应晶体管的分类

双极晶体管中,由基极控制流过它的电流,而在场效应晶体管中则是由控制栅极上外加电压产生的电场效应控制主电流,这样的晶体管统称为场效应晶体管。FET 共同的特征是具有高输入阻抗($10^{10} \sim 10^{15} \Omega$)。

6.1.2 MOS 器件的结构

在学习 MOS-FET 的特性之前,首先介绍在 MOS 界面产生的反型层。图 6.2 是 p 型半导体 MOS 结构的能带图。在半导体界面附近由于载流子数目的变化引起能带的弯曲,具体解析可以通过求解基于界面附近电荷分布的泊松方程完成。如果 p 型半导体的受主浓度为 N_A ,半导体的相对介电常数为 ϵ_s ,那么可以写出如下的泊松方程:

$$\frac{d^2 V}{dx^2} = \frac{qN_A}{\epsilon_0 \epsilon_s} \quad (6.1)$$

这里的坐标是取半导体-绝缘层界面处为 $x=0$,向半导体一侧为 x 的正方向。 $V(x)$ 表示导带底的电势分布。边界条件取半导体内部中性区的电势和电场均为零,取反型层与中性区的边界处位置为 d_i ,解式(6.1),则得到

$$V(x) = \frac{qN_A}{2\epsilon_0 \epsilon_s} \cdot (x-d_i)^2 \quad (6.2)$$

$$\frac{dV(x)}{dx} = E(x) = \frac{QN_A}{\epsilon_0 \epsilon_s} (x-d_i) \quad (6.3)$$

式中, $E(x)$ 是半导体中的电场强度, $V(x)$ 与 $E(x)$ 的情况示于图 6.2(b)。半导体的载流子密度表达式为

$$n = n_i \exp\left(\frac{E_F - E_i}{kT}\right) \quad (6.4)$$

$$p = n_i \exp\left(-\frac{E_F - E_i}{kT}\right) \quad (6.5)$$

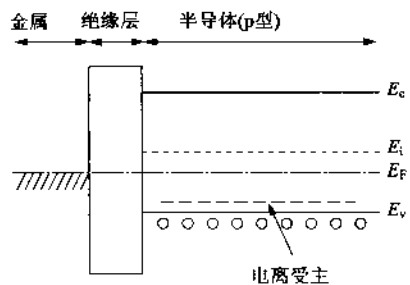
式中, n_i 和 E_i 分别为本征载流子密度和本征费米能级。 E_i 处于禁带中央,并随能带一起弯曲,所以在反型层中是 x 的函数。用电势符号 $\phi(x)$ 和 ϕ_F 分别表示半导体内部中性区的 E_i 与反型层中 $E_i(x)$ 和费米能级的距离,即

$$q\phi(x) = E_i - E_i(x) \quad (6.6)$$

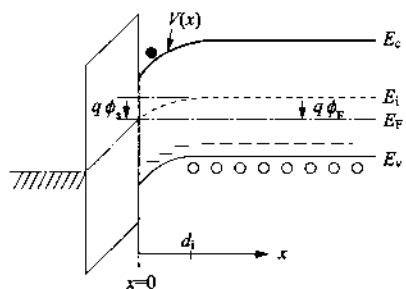
$$q\phi_F = E_i - E_F \quad (6.7)$$

令与绝缘层相接的半导体表面处的 $\phi(x)$ 为 ϕ_s ,则有

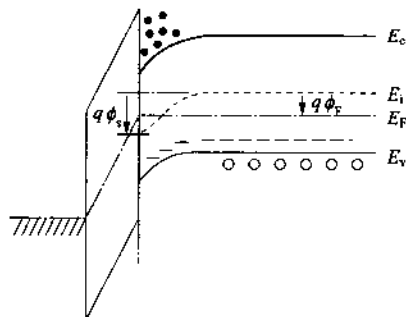
$$q\phi_s = q\phi(0) = E_i - E_i(0) \quad (6.8)$$



(a) 零偏压状态



(b) 耗尽状态 (\$\phi_s = \phi_F\$)



(c) 反型状态 (\$\phi_s = 2\phi_F\$)

图 6.2 MOS 结构的能带随栅电压的变化

这样,用式(6.4)和式(6.5)可以把半导体表面的载流子密度 n_s 、 p_s 表示如下:

$$n_s = n_i \exp \left\{ \frac{q(\phi_s - \phi_F)}{kT} \right\} \quad (6.9)$$

$$p_s = n_i \exp \left\{ -\frac{q(\phi_s - \phi_F)}{kT} \right\} \quad (6.10)$$

图 6.3 表示由式(6.9)和式(6.10)求得的 n_s 、 p_s 与 ϕ_s 的依赖关

系。在 $\phi_s = \phi_F$ 处, 与本征半导体相同, 有 $n = p$, 当 $\phi_s > \phi_F$ 时, $n > p$, 说明在表面处反型的电子比多数载流子空穴的数目多。如果是 $\phi_s = 2\phi_F$, 则表明与内部中性区相比, 表面的电子浓度与体内空穴浓度的关系发生了逆转, 形成了名副其实的“反型层”。 $\phi_s = 2\phi_F$ 是标志形成反型层的“关系式”, ϕ_s 再增加时, 由于电子浓度急剧增大, 能带就几乎不再继续弯曲。

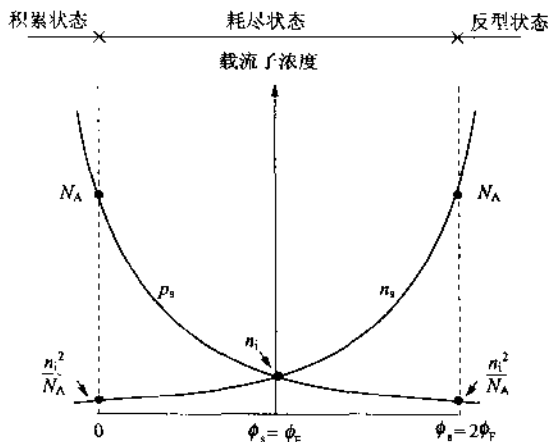


图 6.3 半导体表面附近的电子浓度 n_s 和空穴浓度 p_s 随表面电势 ϕ_s 的变化

根据 MOS 结构的这种特性, 我们进一步讨论 n 型沟道 MOS FET 的工作原理。器件结构如图 6.4 所示, 在 p 型 Si 衬底上形成 n^+ 层的源区和漏区, 源、漏区之间介入一层稍有重合的栅绝缘层, 并设计栅电极。当栅极处于零偏压状态, 源极-漏极之间有外加电压 V_{DS} 时, 由于漏极处于反向偏置, 所以几乎没有电流流过。如果栅极加正偏压, 由于栅极电场的感应, 在 p 型衬底与栅绝缘层的界面处积聚了电子, 而空穴则被推向另一侧。因此, 在界面附近形成反型层, 它是电子运动的沟道。电子在源极-漏极间电场作用下流动构成的电流, 受到栅极电压的控制, 就可以实现放大作用。

6.2 MOS 晶体管的电流-电压特性

MOS-FET 的电流-电压特性表现在当漏极电压 V_{DS} 比较小时,

电流随栅极电压线性增大,当 V_{DS} 接近一定值时,发生夹断,电流饱和。图 6.5 是 n 沟 FET 的结构示意图,现在讨论漏极电压与漏极电流间的关系(直流输出特性)。以沟道区与源区的交界处为 x 轴原点,漏区所在的右方为 x 轴正方向,垂直向下的方向为 y 轴正方向。沟道长度为 L ,宽度为 W ,衬底与源极的电位为零。

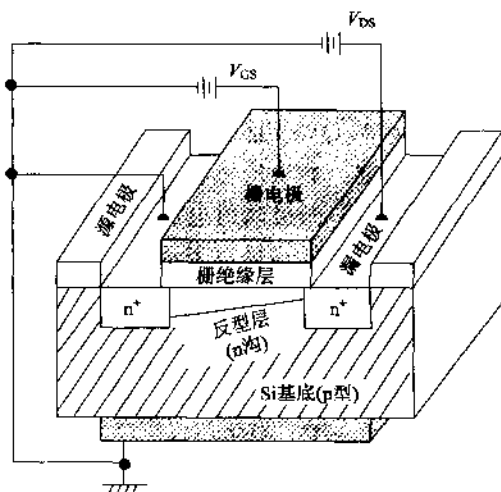


图 6.4 MOS-FET 的结构与反型层沟道

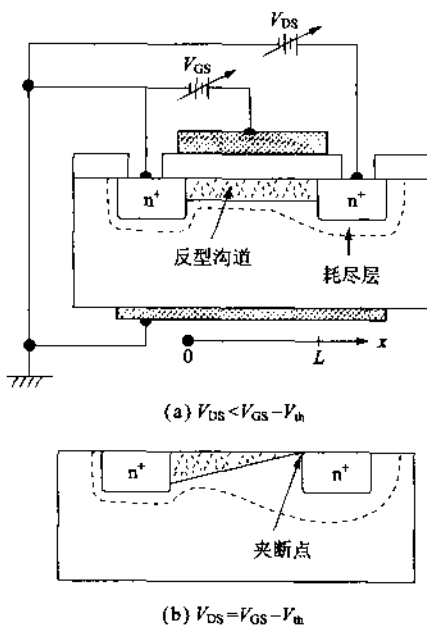


图 6.5 n 沟 MOS-FET 中反型沟道的变化

6.2.1 直流输出特性

MOS-FET 典型的输出特性如图 6.6 所示。它表明漏极电流 I_D 与漏极电压 V_{DS} 的关系,栅极电压 V_{GS} 为参变量,该特性分为 I_D 随 V_{DS} 线性增大的未饱和区(称为线性区), I_D 基本保持不变的饱和区(称为夹断区)和 I_G 很小时的截止区。

在未饱和区,漏极电流 I_D 的表达式为

$$I_D = W\mu_e Q(x)E(x) \quad (6.11)$$

式中, μ_e 是电子迁移率, $Q(x)$ 是 x 处半导体的表面电荷密度, $E(x)$ 是 x 点的电场强度。如果给栅极外加一个能在半导体界面形成反型层所必要的电压(栅极阈值电压) V_{th} , 考虑到漏极电压感应表面电势 $V(x)$, 那么 $Q(x)$ 可以表示为

$$Q(x) = -C_i \{V_{GS} - V_{th} - V(x)\} \quad (6.12)$$

式中, C_i 是栅绝缘层单位面积的静电容, V_G 是栅电压。由于 $E(x) = -V(x)/dx$, 式(6.12)可以写为

$$I_D = W\mu_e C_i \{V_{GS} - V_{th} - V(x)\} \left(\frac{dV(x)}{dx} \right) \quad (6.13)$$

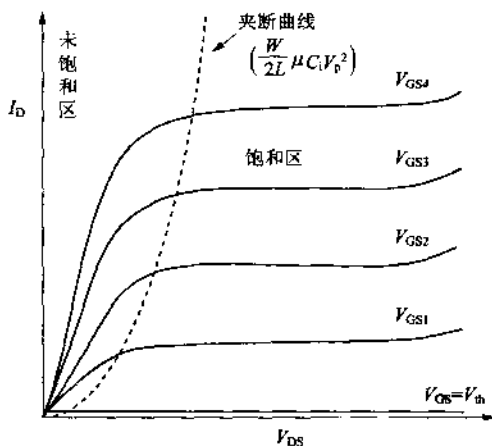


图 6.6 MOS-FET 的漏电流 I_D 与漏电压 V_{DS} 的关系

假定 V_{th} 是与 $V(x)$ 无关的定值, 而且满足 $V_{DS} < V_{GS} - V_{th}$, 源-漏方向上沟道的厚度是均匀的, 那么 $V(x)$ 可以近似表示为

$$V(x) = V_{DS} \cdot \frac{x}{L} \quad (6.14)$$

按照电流连续性的要求, I_D 是与位置 x 无关的定值, 那么将式 (6.13) 对 x 积分, 将得到

$$I_D \int_0^L dx = W \mu_e C_i \int_0^{V_0} \{V_{GS} - V_{th} - V(x)\} dV(x) \quad (6.15)$$

因此, 得到漏极电流 I_D 为

$$I_D = \frac{W}{L} \cdot \mu_e C_i \left\{ (V_{GS} - V_{th}) V_{DS} - \frac{1}{2} V_{DS}^2 \right\} \quad (6.16)$$

该式表示 FET 在未饱和区的输出特性, 在 $V_{DS} < V_{GS} - V_{th}$ 范围内, I_D 随 V_{DS} 的增加而增大, 当 $V_{DS} = V_{GS} - V_{th}$ 时, I_D 达到最大。

$V_{DS} > V_{GS} - V_{th}$ 时的情况已超出原来假设的范围, 这时如果按照式 (6.16) 的结果, I_D 将随 V_D 的增加而减少, 但是实际上 I_D 并不是那样。在这种情况下, 由式 (6.12), 在 $V_{DS} = V_{GS} - V_{th}$ 时 $Q(x) = 0$, 按照式 (6.11), $E(x) \rightarrow \infty$ 。实际上, 如图 6.5(b) 所示, 增大 V_{DS} , 使接近 $V_{DS} = V_{GS} - V_{th}$ 时, 将使漏极附近的耗尽层变宽, 不能出现反型层, 使 $x=L$ 处最初的沟道消失。

这时, $Q(L) = 0$, 即使提高漏极电压, 那么增加部分集中在漏极附近的夹断点, 并没有使源极附近的电场强度变大, 所以不能增大 I_D 。这时的漏极电流饱和, 即使增加 V_{DS} 也只能使夹断点向源极一侧移动。在形成夹断的状态, 因为 $Q(L) = 0$, 所以 $V_{DS} = V_{GS} - V_{th}$, 把这个关系代入式 (6.16), 得到

$$\begin{aligned} I_D &= \frac{W}{2L} \cdot \mu_e C_i (V_{GS} - V_{th})^2 \\ &= \frac{W}{2L} \mu_e C_i V_{DS}^2 \end{aligned} \quad (6.17)$$

在图中用虚线表示这种关系, 称为夹断曲线。而把这时的漏极电压 V_D 称为漏极饱和电压。从式 (6.17) 看出, 在该范围, 如果在栅极电压上加以微小的信号, 那么将引起 I_D 以平方关系变化。

如果栅极电压非常小, 处于阈值电压 V_{th} 以下, 或者是负的栅极电压, 就不会形成反型层。因此, 即使有外加漏极电压, 也没有电流流过, 这种工作范围称为截止区。

6.2.2 小信号交流特性

前面曾讨论过的双极型晶体管具有电流控制型放大功能, 电流放大系数 α 是表征晶体管性能的重要指标。MOS-FET 是电压控制型器件, 漏极电流是栅极电压和漏极电压的函数, 可以表示为

$$I_D = I_D(V_{GS}, V_{DS})。$$

假设信号变化很小,对于上式全微分展开,则有

$$I_D(V_{GS}, V_{DS}) = \left(\frac{\partial I_D}{\partial V_{GS}} \right) dV_{GS} + \left(\frac{\partial I_D}{\partial V_{DS}} \right) dV_{DS} \quad (6.18)$$

把各项中出现的系数 $(\partial I_D / \partial V_{GS})$ 和 $(\partial I_D / \partial V_{DS})$ 分别称为跨导和漏电导,再加上放大常数,构成 MOS-FET 器件性能的三个指标,

$$\begin{aligned} \text{跨导: } g_m &= \frac{\partial I_D}{\partial V_{GS}} \quad (V_{DS}: \text{一定}) \\ \text{漏电导: } \frac{1}{r_D} &= \frac{\partial I_D}{\partial V_{DS}} \quad (V_{GS}: \text{一定}) \\ \text{放大常数: } \mu_v &= \frac{\partial V_{DS}}{\partial V_{GS}} \quad (I_D: \text{一定}) \end{aligned} \quad (6.19)$$

由定义看出这三个常数之间具有如下关系:

$$\mu_v = g_m r_D \quad (6.20)$$

与小信号交流成分相对应,漏极电流、漏极电压、栅极电压的交流成分分别为 i_D, v_{DS}, v_{GS} , 那么 i_D 表示为:

$$i_D = g_m v_{GS} + v_{DS} / r_D \quad (6.21)$$

MOS-FET 中,漏极电流随栅极电压的变化率,即跨导,是表征性能的重要指标,该值越大,表示晶体管的放大能力越强。将式(6.17)对 V_{GS} 微分,再考虑到 $V_{DS} = V_{GS} - V_{th}$ 的关系,可以得出跨导的表达式:

$$g_m = \frac{W}{L} \cdot \mu_c C_i (V_{GS} - V_{th}) = \left(\frac{2W}{L \mu_c C_i I_D} \right) \quad (6.22)$$

从式(6.22)可以看出,为了提高跨导 g_m 有效的办法是:①设计时增大 W , 减小 L ; ②使用 μ_c 大的材料; ③增大 C_i 。

MOS-FET 的频率特性。当输入端的频率提高时,沟道反型层宽度的变化跟不上信号的变化,那么漏极电流的变化量将减小。设定源极-漏极间短路时流过栅极的电流等于漏极电流时的频率为频率界限,称为截止频率 f_T 。这时,器件丧失了放大作用。由于栅绝缘层电容为 LWC_i , 所以有下面关系式:

$$2\pi f_T LWC_i v_{GS} = g_m v_{GS} \quad (6.23)$$

再代入式(6.21)就得到 f_T 的表达式:

$$f_T = \frac{g_m}{2\pi LWC_i} = \frac{\mu V_p}{2\pi L^2} \quad (6.24)$$

式中, V_p 是夹断电压。为了改善频率特性,必须提高跨导,在采用 μ 大的材料的同时,在设计上要减小 L 。特别是因为 g_m 与 L 的平

方成反比,所以减小 L 是有效的方法。为了制作高速 MOS-FET,人们不断地努力提高微细加工技术,缩短沟道长度。

6.3 MOS 晶体管的种类与结构

在图 6.2(a)中已经画出了 MOS-FET 的栅极电压为零时的能带图,它表明在理想情况下,表面不会形成沟道,也没有漏极电流流过。但是,实际上,由于半导体与绝缘体界面上形成的界面态俘获载流子的结果,使能带发生弯曲,会给栅极电压与漏极电流的关系带来影响。

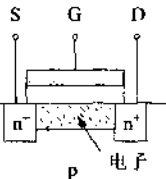
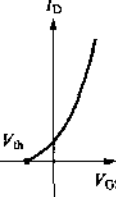
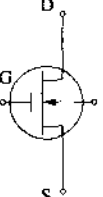

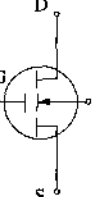
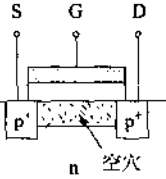
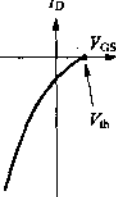
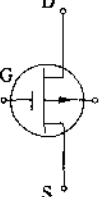
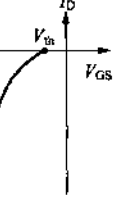
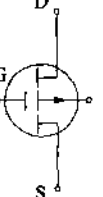
通常,在半导体表面上,存在有与表面原子密度相当的表面能级($\sim 10^{15} \text{cm}^{-2}$),MOS-FET 中,制备高质量的 SiO_2 膜作为绝缘层可以把界面态密度抑制在 10^{10}cm^{-2} 以下,从而形成比较理想的沟道。通过有意识的向沟道区掺杂,能够控制栅极阈值电压 V_{th} 的正负。通常把 V_{GS} 为零时不形成反型层,也没有电流流动的器件类型称为增强型(又称为正常截止型),而把 $V_{GS}=0$ 时已经形成沟道,并有漏极电流流过的类型称为耗尽型(亦称正常导通型)。

例如,用离子注入方法在 p 型衬底的反型层区域掺入受主杂质,可以形成增强型;相反,掺入施主杂质就可以形成耗尽型,把这种技术统称为沟道掺杂。

MOS-FET 除有 n 沟型外还有 p 沟型。它是在 n 型衬底上将源、漏区作成 p 型区。反型载流子是空穴。就是说,把 p 型与 n 型,空穴与电子,以及各电极的正负极性置换,就成为 p 沟 MOS-FET,其工作原理与 n 沟型完全相同。表 6.1 列出了各种 MOS-FET 的结构、输出特性的特征和电路符号。

在开发 MOS-FET 的初期阶段,由于在工艺技术上难以控制栅绝缘层的质量,容易混入杂质。半导体界面上受绝缘层电离电荷的影响吸引电子,使得沟道 n 型化。因此, n 沟成为耗尽型, p 沟成为增强型。使用 n 沟时,为了防止相邻晶体管的漏电流,必须采用器件隔离技术。因此,不需要隔离技术的 p 沟型就得到了优先发展。但是空穴作为载流子,它的迁移率大约只有电子的 1/2,所以响应特性差。最近,由于工艺技术的进步,能够有效地抑制正电荷杂质的混入,使得能够制造出表 6.1 中所列出的四种结构的 FET。

表 6.1 MOS-FET 的种类与输出特性

	器件结构	耗尽型		增强型	
		输出特性	电路符号	输出特性	电路符号
n 沟型					
p 沟型					

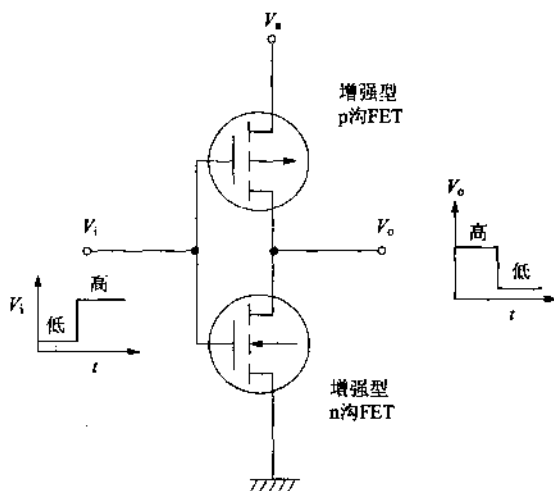


图 6.7 CMOS 倒相电路

例如,图 6.7 所示的是 n 沟与 p 沟增强型 FET 串联形成的互补 MOS 结构(CMOS)。由于 CMOS 倒相器工作时,总是一个导通,另一个截止,无直流通路,仅有微小漏电流流过,所以静态功耗微乎其微,有利于集成电路的低功耗化。

6.4 MOS 存储器

6.4.1 MOS 存储器的分类

图 6.8 是 MOS 型半导体存储器按功能的分类。半导体存储器分为专门用于读出预先写入的信息的 ROM(read only memory)和能够实时、自由地向任何地址写入和读出信息的 RAM(random access memory)两种。ROM 又分为两种:用户能够使用比通常使用的电压高的电压写入数据的可编程 ROM 和使用特定的掩模版在制作时就将记忆内容写入的掩模型 ROM。

RAM 也有两种,SRAM(static RAM)和 DRAM(dynamic RAM)。SRAM 写入的信息在切断电源时仍不会丢失,所以可以方便地应用于以记录数据为目的的场合,不足之处是单元器件数目多,集成度低。

DRAM 适于小型化、高集成化,但是需要在隔一段时间后定时再生,重新写入信息,所以外围电路比较复杂,为保存数据要消耗功率。MOS 型存储器集成电路把能够记录 1bit 信息的存储器单元配置为矩阵状,在周围配置单元选择、写入、读出的电路,由于结构比较单纯,所以具有易于集成化的特点。

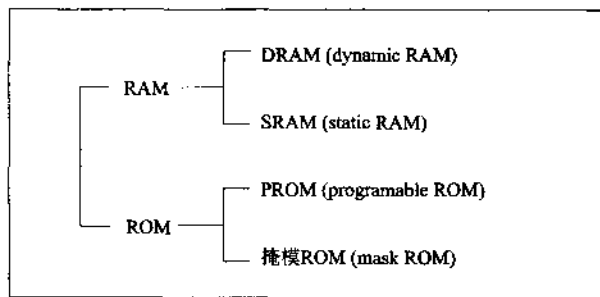


图 6.8 MOS 存储器的种类

6.4.2 DRAM 与 SRAM

MOS 型 DRAM 基本上有三种类型,即每个单元分别有 4 个, 3 个或 1 个 MOS 晶体管。图 6.9 是最简单的 DRAM 存储器的基本组成和结构图,它只由 1 个 MOS 晶体管构成。

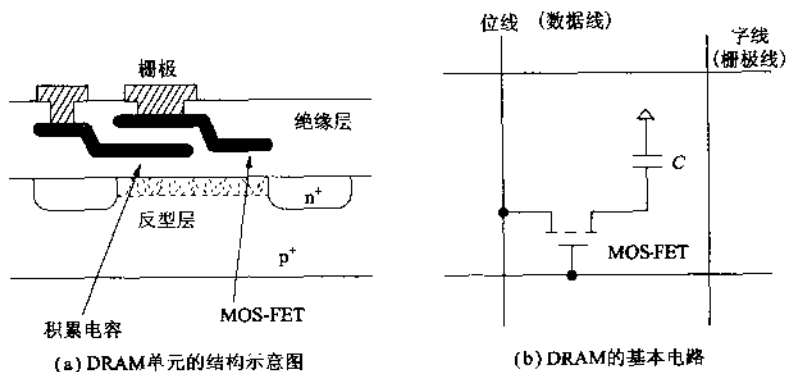


图 6.9 DRAM 的结构

器件由一个栅极接读/写选择线的 MOS-FET 和一个与源极连接的电容 C 组成,电路组成类似于使用薄膜晶体管的液晶显示器。栅极加上电压后,MOS-FET 接通,由给电容充电的电荷的数量提供信息。读出时则相反,对处于接通状态的 MOS-FET,提取出从电容流出的电荷。由于读出是破坏性的,所以读出后还需要再次写入。如果写入后放置的时间过长,由于 MOS-FET 存在漏电流,将会减少存储的电荷量,甚至使信息变为零。因此,需要每隔适当的时间($1\sim 100\text{ms}$)再生一次。

由于 1 个 MOS-FET 兼作写入和读出,使得周边电路变得复杂。如果存储器单元的数目多的话,连接数据线的分布电容变大,将会导致延迟读出信号,并降低电压。因此,需要有一个高灵敏度的读出放大器。

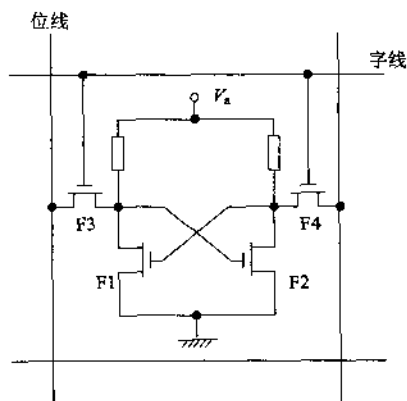


图 6.10 SRAM 的结构

DRAM 使用适于高度集成化的 MOS 结构,而在 SRAM 中除了 MOS 型之外也使用双极型结构,它们分别用于高速和低功耗电路。MOS 型 SRAM 的结构示于图 6.10。单元由四个 MOS-FET F_1, F_2, F_3 和 F_4 构成, F_1 和 F_2 组成触发电路, F_3 和 F_4 实现信号的通、断切换,两个稳定状态中,一个对应 1,另一个对应 0,记忆 1pit。例如, F_1 导通时, F_2 保持低的输入电位,所以 F_2 截止,结果, F_2 保持高的输出, F_1 稳定在导通状态。

6.5 CCD 与 BBD 及其电荷转移功能

6.5.1 CCD

在均匀掺杂的 Si 衬底上制作薄的绝缘层和电极,形成若干个相互接近配置的 MOS 结构,假如给一个电极加上电压,那么该电极下的衬底表面附近将形成耗尽层。在有光、热或电能时,将会在该单元产生或注入电荷,这些电荷可以被储存在耗尽层的低能量势阱中。这种情况与图 6.2(b)所示的能带结构是相同的。这些信号电荷在依次改变电压的相邻电极作用下,能够向一定方向传送,并进行信号处理。把这种结构称为电荷转移器件,是美国人在 1970 年发表的一种 MOS 型功能器件。

如图 6.11 所示,电荷转移器件有两种:通过依次切换相邻栅极上外加电压实现电荷转移的电荷耦合器件 CCD(charge coupled device)和在 MOS 电容间连接晶体管依次开关的 BBD(bucket brigade device)。CCD 又称为 CTD(charge transfer device,电荷转移器件)。这种半导体器件具有把半导体中激发的少数载流子在栅脉冲信号的控制下依次向一定方向转送的电荷转送功能。

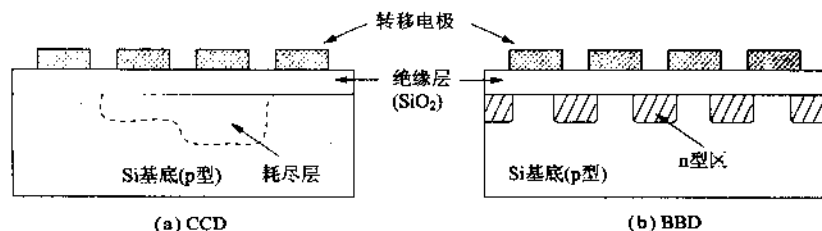


图 6.11 电荷转移器件的结构示意图

6.5.2 CCD 的原理

图 6.12 是采用 3 相时钟脉冲的器件基本结构和工作原理示意图。实际的 CCD 是由 3 位绝缘栅组成 1 组, 在 3 组外加脉冲时钟作用下将电荷向一定方向转送。3 组电压脉冲中, V_1 是在半导体表面附近形成耗尽层的电压, V_2 形成更深的深耗尽层, 成为能存储电荷的势阱, V_3 是能够转移电荷的更大的电压。这些电荷可以是由光照等原因产生的, 它们存储在表面势能低的势阱中。

在 V_2 电压的作用下, 电极下的耗尽层瞬间扩展成深的势阱, 这种状态不是稳定状态, 几秒钟后由于热激发的少数载流子的产生而使深度减小。但是, 在这期间, 如果邻近的电极上加电压 V_3 , 那么电荷将流向 V_3 脉冲所形成的更深的势阱。接着, 栅电压返回原来的状态, 实际上就是电荷移动到相邻的电极下面的势阱中, 完成了一次电荷转移。

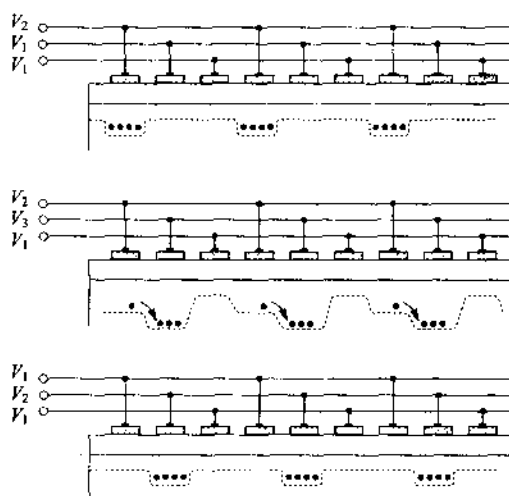


图 6.12 3 相时钟脉冲作用下 CCD 的电荷转移过程

重复这种动作, 就可以使电荷沿一定方向一次次移动, 电荷信号从输入端由时钟脉冲驱动输出。每加一次栅脉冲, 数据信息就沿确定方向移动, 利用这种数字式工作, 可以制作结构简单而高度精确的光检测装置。但是, 传送次数增加会引起信号的劣化, 存储时间增大会引起延迟, 外部光照会产生噪声, 这些问题都会对信号

传送质量带来影响。所以,需要把受光部分、转送部分以及输出部分分开,抑制转送电荷与外部光照的相互作用,降低信号噪声。影响转送效率的因素有半导体中的俘获、复合、残留电荷等,目前,转送效率可以达到 99.9% 以上。

6.5.3 CCD 的用途

CCD 的特征是:①与 RAM 相比分辨率更高,能够高度集成化,适于中速、大容量存储器。②能够实现模拟量的记忆与传送,适于模拟存储器、模拟信号延迟电路。③能够实现空间配置,适于与光探测器组合的摄像器件、图像传感器、多层结构的集成电路等二维、三维器件。特别是光与电的结合性好,在电极二维排列的器件背面光学成像的话,那么注入到 CCD 器件内部的模拟量电荷将与光的强弱相对应,如果每隔一定时间从输出端取出这些电荷,就可以利用这些光学图像随时钟脉冲变换的电信号。

最近的数码照相机、传真机等多采用这种 CCD,它具有显著的高分辨率。此外,CCD 还应用于移位寄存器、延迟线电路等。

短沟道效应

缩短沟道长度可以提高放大系数,也可以改善频率特性,但是也出现了短沟道效应以及随之而来的各种问题。在本章中,是用电场和电势的一维近似处理 MOS-FET 的工作特性的,伴随着短沟道化,就应该考虑二维、三维电场分布问题。

由于短沟道化,沟道中的载流子不仅受栅极电压影响,而且也受源-漏区耗尽层电场和电势的影响,使阈值栅压降低。而且,沟道变短也使得漏区耗尽层靠近源区,最终与源区耗尽层相接,漏区电场将降低源区附近的扩散电势,这样即使不形成沟道也有漏极电流流过。这种现象称为穿通。随着漏极电压降低,漏极电流急剧增大。输出特性方面,即使在饱和区电流也不饱和。与此同时,亚阈值特性(沟道形成之前的电流-电压特性)发生退化。

另外,由于短沟道化,在 FET 内部产生 10^5 V/cm 以上的强电场,受沟道方向电场加速的高能量电子(热电子)注入栅绝缘层,其电荷不仅会改变栅阈值电压和跨导,而且会导致可靠性降低,这些都是 MOS-FET 小尺寸化过程中的重要研究课题。

练习题

1. 一个 p 沟 MOS FET, $L=2\mu\text{m}$, $W=15\mu\text{m}$, $\mu_n=200\text{cm}^2/(\text{V}\cdot\text{s})$, $C_i=0.1\mu\text{F}/\text{cm}^2$, $V_{th}=1\text{V}$ 。试求出 $V_{GS}=3\text{V}$ 时饱和区的漏极电流 I_D 。
2. 试求 MOS-FET 的栅极与漏极短路时漏极电流与漏极电压的关系。
3. 试说明跨导 g_m 的物理意义以及提高 g_m 的方法。
4. 试说明 DRAM 和 SRAM 两种存储器的差异。
5. 试说明 CCD 电荷转移的工作原理。

第 7 章

异质结器件

第 3 章 3.3 节中曾介绍了不同半导体材料结合所形成的异质结的基本概念。其中,像 GaAs 和 AlGaAs 等 III-V 族化合物半导体,可以在原子水平上控制它们的禁带宽度。在本章中的学习中,首先掌握 GaAs 的基本特征,理解其在异质结器件中的重要地位。其次,由于 HEMT 充分利用了 GaAs 电子的高速特性,所以在掌握异质结及二维电子器件物理的基础上,学习 HEMT 的工作原理和电学特性。最后,介绍广泛应用于卫星广播接收天线的微波 HEMT 以及应用于光通信系统的超高速数字 HEMT 的基本特性。

7.1 GaAs 系异质结器件的重要性

7.1.1 GaAs 系异质结器件是重要的发展趋势

自 1947 年晶体管诞生以来已经过了半个多世纪。这期间,不仅引起半导体的技术革新,而且导致信息通信(IT)领域革命性的变化,使科学技术的结构发生了巨大的变革。2000 年的诺贝尔物理奖授予了半导体领域的科学家。在多媒体、个人化的急速发展中,作为材料主角的 Si, 256Mbit 的 ULSI 已商品化,到 2010 年将会达到 64Gbit 位的规模。

III-V 族化合物半导体具有速度高的优势,所以在光纤通信、卫星通信、便携式计算机、移动式终端等方面 GaAs、InP 系器件具有重要的应用前景。将通信技术的两大社会现象“便携”和“网络”结合起来已成为 21 世纪初期新的研究和开发的趋势。

从器件结构的角度来说,已经从同质结构向异质结构发展。如果用一句话概括这种器件技术发展潮流的本质的话,那就是由于多样化器件的协调发展,进一步提高器件的性能和多功能性。由于采用 GaAs 半导体材料促进了器件高速化,由于采用异质结

构扩大了器件的适应性以及利用量子效应使器件性能接近物理极限,由于 IC 化发挥了器件的多功能性,这些都是技术发展过程中必然的趋势。

7.1.2 GaAs 的特征与物理基础

什么是 III-V 族化合物半导体? 在化学教科书中元素周期表,IV 族列中有著名的半导体硅(Si),IV 族的左右周期性地排列着 III 族和 V 族元素的镓(Ga),铝(Al),砷(As),氮(N)等。这些元素的组合形成了化合物半导体的主体,它们有着元素半导体 Si 或 Ga 所不具备的独特的半导体特性。

GaAs 的晶体结构与 Si 单晶很类似,不同之点是 Ga 和 As 原子在晶体格点上交替配置。GaAs 的电子迁移率约是 Si 的 6 倍,在电子浓度为 $4 \times 10^{13}/\text{cm}^3$ 的高纯度的体单晶中,迁移率在室温下达到 $8 \times 10^3 \text{cm}^2/(\text{V} \cdot \text{s})$,在 77K 达到 $3 \times 10^5 \text{cm}^2/(\text{V} \cdot \text{s})$ 。与 Si 的 1.1eV 相比,GaAs 的禁带宽度达 1.4eV,所以可以稳定地工作在更高的温度下。另外,由于可以实现半绝缘程度的高电阻率,所以能够减少因布线引起的信号延迟。但是,GaAs 的热导率为 $0.5 \text{W}/(\text{cm} \cdot \text{K})$,仅是 Si 的 $1.5 \text{W}/(\text{cm} \cdot \text{K})$ 的 1/3,所以散热性能差,而且,与 Si 相比 GaAs 还有晶体缺陷多、价格高、高温化学稳定性差等缺点。

7.2 异质结与二维电子气物理

7.2.1 载流子关闭引起的二维效应

现在讨论在异质结界面积累的载流子的二维效应。通常,如果在半导体表面加上电场,表面电势将受电场的方向和大小影响。一般来说,对于 n 型半导体,如图 7.1(a)所示,如果外加一个与半导体衬底纵深方向相同的电场,那么,在表面一侧可以形成多数载流子电子的积累层。反之,若外加电场方向相反,电子则会被驱赶到晶体内部,形成电离化的表面耗尽层。继续增强电场,则会像图 7.1(b)那样表面势能的弯曲加大,形成由少数载流子空穴构成的反型层。通常为了对表面施加电场而在半导体表面形成一层绝缘膜,典型的例子就是 Si MOS 器件。

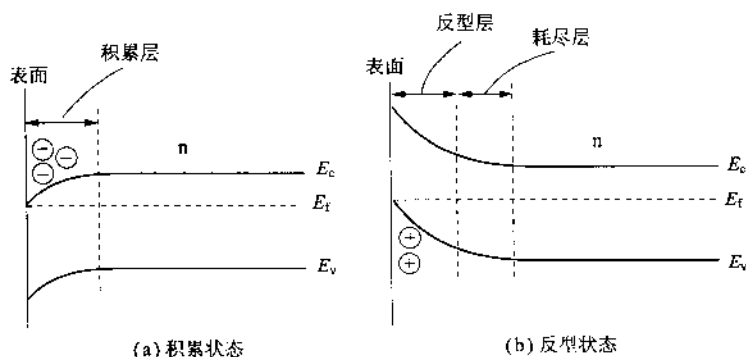


图 7.1 半导体表面的空间电荷层

对于 HEMT 器件,是在表面制作掺杂的 AlGaAs 层,它的基本作用与绝缘层相同。如果在外加电场作用下使表面处能带弯曲加大,那么在半导体表面就可以形成狭窄的反型层势阱,电子状态将会受到量子力学尺寸效应的影响。就是说,如果关闭电子的反型层厚度小到可以与电子的德布罗意波长相比拟的程度(100\AA 以下),那么在与表面垂直的方向(Z 方向)上电子的运动将量子化,其能量取分立的能级。与平行于表面方向(X - Y 方向)上的情况不同,电子仅在垂直方向的运动受到了限制,而在二维方向上的运动是自由的。与垂直方向上各分立能级相对应,出现了电子二维自由运动的子能带。受到这种量子力学尺寸效应影响的电子集团称为二维电子气。在低温下,电子散射对量子化能级的影响减弱,这时二维电子气状态变得更显著。

现在通过简单的计算,讨论 AlGaAs/GaAs 异质结系在室温下的二维状态。假设自由电子被关闭在图 7.2 所示的三角形势阱中。如果忽略势阱外侧的渗出,电子仅能够占据半导体表面与导带底的距离 Z 为传导电子半波长的整数倍的能量状态。就是说,如果 Z 方向的电子波长为 λ_z ,则满足

$$Z_n = \frac{n}{2} \cdot \lambda_z \quad (7.1)$$

离散能量为

$$E_{z,n} = \frac{P_z^2}{2m_{\perp}} = qE_z \cdot Z_n \quad (7.2)$$

式中, m_{\perp} 是垂直方向上的有效质量。代入 $P_z = 2\pi\hbar/\lambda_z$,得到下式:

$$E_{z,n} = \frac{1}{(2m_{\perp})^{1/3}} (\pi \hbar q E_z)^{2/3} n^{2/3} \quad (7.3)$$

式(7.3)给出二维电子能带的最小能量。若 $m_{\perp} = 0.068m_0$, $E_z = 10^5 \text{ V/cm}$, 则 $\delta E = E_{z,2} - E_{z,1} \approx 560 \text{ K}$, 比室温能量 300 K 还大。假定电子迁移率 μ 约为 $6000 \text{ cm}^2/(\text{V} \cdot \text{s})$, 平均自由时间为 $2.3 \times 10^{-12} \text{ s}$, 根据测不准原理, 能量的不确定 $\delta E \approx \hbar/\tau$ 为 0.0028 eV , 这个 δE 值非常大。因此, 可以说即使在室温下, AlGaAs/GaAs 系的电子也能够处于二维状态。

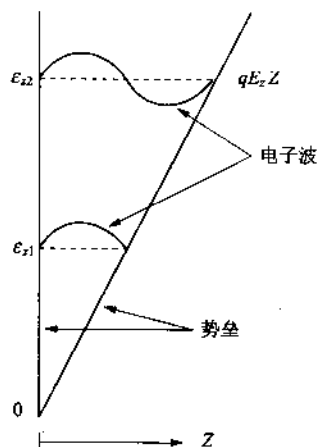


图 7.2 三角形势阱发生的表面量子化

7.2.2 能带结构

假定异质结为突变结。在前面 3.3 节中曾经讲到, 电子亲和能 χ 是电导底 E_c 处的电子到达真空能级所需的最低能量, 功函数 ϕ 是电子从费米能级 E_F 到达真空能级所需的最低能量。假定两种半导体接触前, GaAs 的费米能级 E_{F1} 比 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 的费米能级 E_{F2} 低。当它们接触时, 为了不使系统的自由能发生变化, 多数载流子将发生流动一直持续到两种半导体中的费米能级相等。

图 7.3 是接触后的能带图。界面上导带的不连续能量差 ΔE_c 是两种半导体的电子亲和能之差 (electron affinity rule)。在这个模型中, $\Delta E_c = \chi_1 - \chi_2$, $\Delta E_v = (E_{g2} - E_{g1}) - \Delta E_c$ 。而总扩散电势等于两种半导体功函数之差。通常难于准确地知道电子亲和能的值。不过, 在能带计算中, 即使不知道电子亲和能的值并无妨, 只知道 ΔE_c 和 ΔE_v 的值也可以。按照量子力学的解析结果,

$$\Delta E_c = (0.85 \pm 0.03)(E_{R_2} - E_{R_1}) \quad (7.4)$$

$$\Delta E_v = (0.15 \pm 0.03)(E_{R_2} - E_{R_1})$$

这个值适用于 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 的 x 值处于 $x \leq 0.45$ 的范围。而在 $x > 0.45$ 范围内, ΔE_c 为

$$\Delta E_c = (E_{R_2} - E_{R_1}) - \Delta E_v \quad (7.5)$$

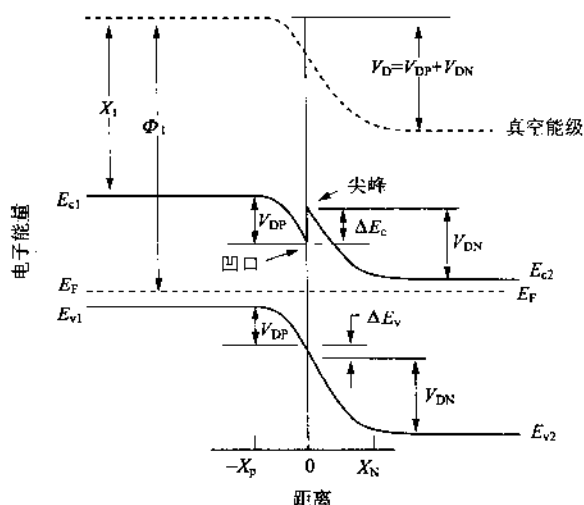


图 7.3 p-GaAs/n-AlGaAs 的能带图(接触后)

7.3 HEMT 的工作原理和电学特性

7.3.1 HEMT 的基本结构与高电子迁移率特性

高电子迁移率晶体管 HEMT (high electron mobility transistor) 是一种最大限度利用 GaAs 晶体的高电子迁移率特性的晶体管。

HEMT 是 GaAs FET 的一种,但是与其他 GaAs MESFET 器件结构完全不同。GaAs MESFET 是在半绝缘的 GaAs 衬底上用气相外延方法生长 n 型活性层,或者是用离子注入方法直接在衬底上形成 n 型活性层。在这个半导体表面上,成欧姆接触的源极、漏极以及肖特基栅极。通过栅极电压作用,使栅极下面的电子耗尽层的厚度发生变化,达到控制源-漏之间的电流的目的。而在

HEMT 中,虽然同样采用半绝缘性的 GaAs 衬底,但是活性层的结构与 GaAs MESFET 不同。

图 7.4 是 HEMT 的结构示意图。通常采用分子束外延(MBE)方法在半绝缘性 GaAs 衬底上连续生长不掺杂的 GaAs 层,掺 Si 的 $n\text{-Al}_x\text{Ga}_{1-x}\text{As}$ ($x=0.3$) 层和掺 Si 的 GaAs 层。AlGaAs 层厚度 $0.07\mu\text{m}$,施主杂质浓度 $2\times 10^{18}\text{cm}^{-3}$ 。在 $n\text{-AlGaAs}$ 层内,由于肖特基接触和异质结而耗尽化。电子的一部分向表面肖特基的金属侧移动,形成整流接触,另一方面,由于 GaAs 与 AlGaAs 之间存在电子亲和能之差 ($\chi_{\text{GaAs}} = 4.07\text{eV} > \chi_{\text{AlGaAs}} = 3.5\text{eV}$),剩余的电子将会从 AlGaAs 层内的施主能级提供给另一侧的 GaAs,形成二维电子气。

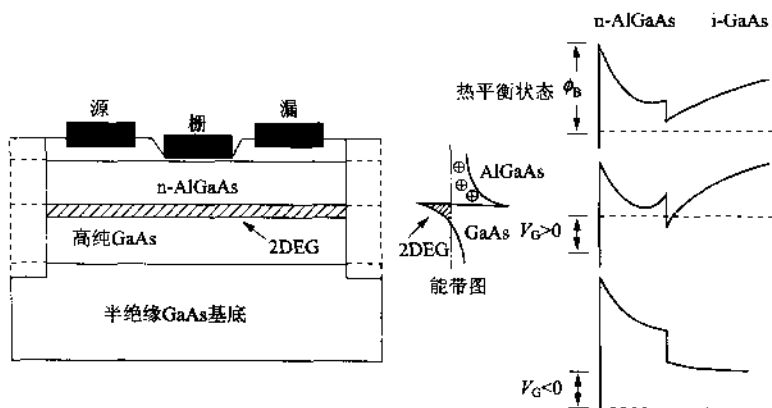


图 7.4 HEMT 的基本结构

二维电子气,在空间上与母体施主杂质原子是分离的。这种二维电子气的厚度极薄,约 10nm ,在垂直于结面的方向上没有运动的自由度,实际上成为二维沟道。因此,对于 HEMT 的工作来说,GaAs/AlGaAs 异质结界面附近的结晶质量如何,成为决定二维电子气性能非常重要的因素。因此,HEMT 的结晶生长采用能够进行原子级精确控制的分子束外延生长技术:MBE(molecular beam epitaxy)或金属有机化合物气相外延技术:OMVPE(organic metal vapor phase epitaxy)。

这种异质结是仅对 AlGaAs 掺入施主杂质的调制掺杂 GaAs/AlGaAs 异质结,异质结界面附近的二维电子气由于在空间上是与母体施主杂质原子分离的,所以可以忽略杂质散射的影响。特

别是在低温下,晶格散射的贡献显著减小,使得电子迁移率显著增大。主要的散射机构是界面附近 AlGaAs 层中电离杂质引起的库仑散射和 GaAs 层中微量残留杂质散射。

图 7.5 表示电子迁移率随温度以及散射机构的变化。对于电子浓度为 $4 \times 10^{13} \text{ cm}^{-3}$ 的高纯单晶体, GaAs 中电子迁移率可以达到 $3 \times 10^5 \text{ cm}^2/(\text{V} \cdot \text{s})$,但是在实际器件中电子浓度必须达到 10^{17} cm^{-3} 的程度,所以高纯度的 GaAs 单晶体虽然电子迁移率高,但是如此低的载流子浓度不适合制作器件。

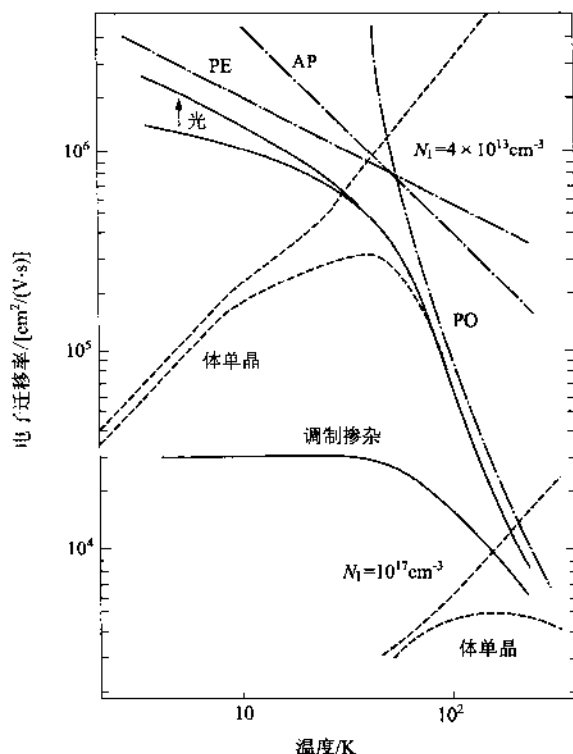


图 7.5 电子迁移率与温度的关系

用调制掺杂技术制作的 n-AlGaAs/GaAs 异质结界面处 GaAs 中的二维电子气由于在空间上与施主杂质母体分离,所以可以忽略杂质散射。室温下的电子迁移率约为 $8 \times 10^3 \text{ cm}^2/(\text{V} \cdot \text{s})$,当温度降低时,晶格散射的影响减小,所以电子迁移率急剧变大,在 77K 达到 $2 \times 10^5 \text{ cm}^2/(\text{V} \cdot \text{s})$,到了 4.2K,达到 $2.5 \times 10^6 \text{ cm}^2/(\text{V} \cdot \text{s})$ 。与通常的体单晶不同,即使在 4.2K 的极低温下,载

流子也不消失,这一点为半导体材料向低温电子工程领域扩展提供了可能性。

7.3.2 HEMT 的工作原理

HEMT 如图 7.6 所示,基本上可以看作是由一个金属-AlGaAs 肖特基结和一个 AlGaAs-GaAs 异质结构成。如果 AlGaAs 层比较厚,存在有中性区,那么即使有外加栅偏压也不会影响到异质结。为了使异质结界面的电子层能够受到栅极电压的控制,有必要使两个耗尽区相接。肖特基结的势垒高度由于半导体表面态的钉扎效应通常固定在 $1.0 \sim 1.1\text{eV}$ 。如果减薄 AlGaAs 层,那么两个耗尽区就可以相接,异质结界面的电子浓度就会受到影响。这种状态,是在栅偏压为零时电流处于导通状态的,称为耗尽模式(D-HEMT)(见图 7.7(a))。

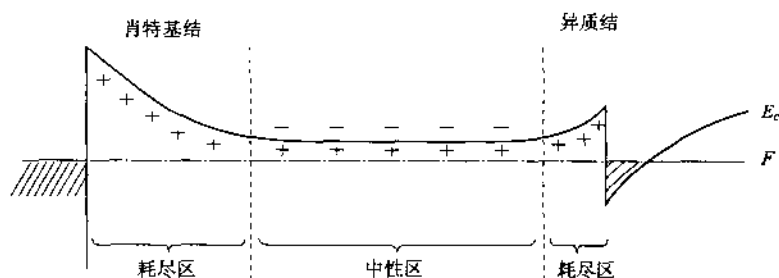


图 7.6 肖特基结与异质结

如果减薄 AlGaAs 层的厚度,为了填满表面能级,仅靠 AlGaAs 层内的电子还不够,还会在 GaAs 表面发生键的悬挂,就不能形成二维电子气。这时如果外加一个比阈值电压大的正电压 V_{GS} ,能带将像图中虚线所示的那样,就可以形成二维电子气。因此,适当地设计 AlGaAs 层的掺杂浓度和厚度,可以实现所期望的增强模式(E-HEMT)(见图 7.7(b))。为了使 $V_{GS}=0$ 时二维电子气消失,AlGaAs 应满足的条件是当 $x=0.3, N=2 \times 10^{18}\text{cm}^{-3}$ 时,厚度为 $0.06\mu\text{m}$ 。

由于金属栅与 GaAs 二维电子气沟道之间的 AlGaAs 层处于耗尽状态,HEMT 的工作原理类似于栅电容不受偏压影响的金属-氧化物-半导体场效应晶体管(MOSFET)。就是说,介入 AlGaAs 层,使得金属与电子气沟道之间是一种静电结合。

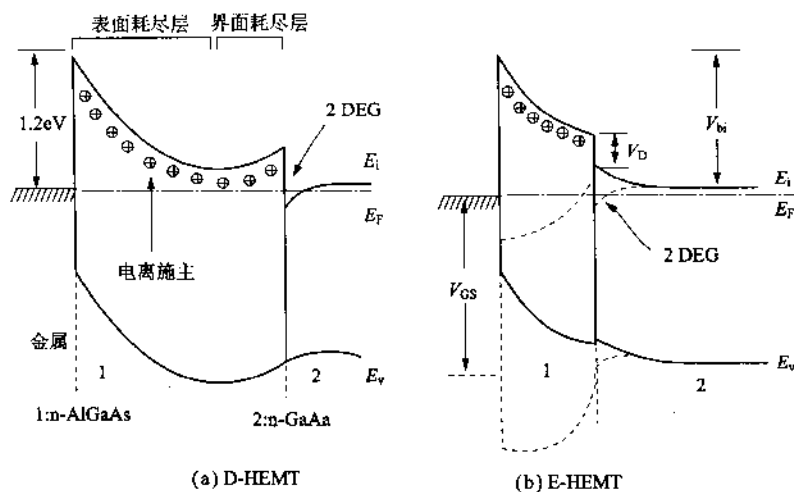


图 7.7 D 型 HEMT 与 E 型 HEMT 的能带图

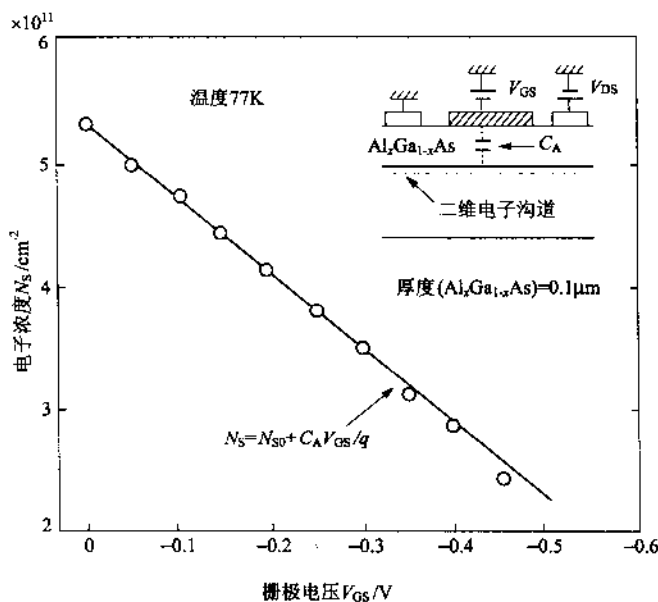


图 7.8 二维电子气的薄层电子浓度与栅电压的关系

图 7.8 是界面处薄层电子浓度与栅电压的关系, 由直线的斜率得到的栅电容与由 AlGaAs 层厚度和介电常数求得的电容量吻合得很好。

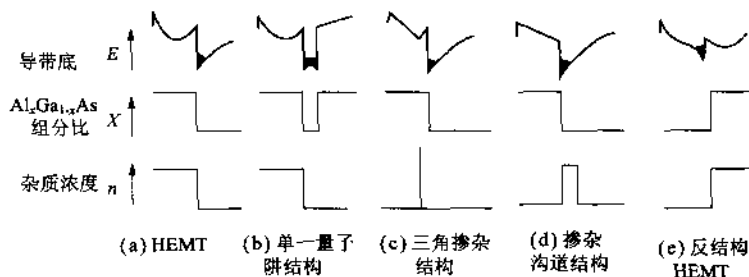


图 7.9 各种 HEMT 器件的能带结构与沟道形成的状态

HEMT 的工作原理是通过栅电场效应控制异质结界面处的二维电子气。为了实现电场效应,对于 HEMT 栅极结构也提出了多种方案,有热平衡状态的二维电子气形成法、GaAs 沟道的表面势控制方法等。图 7.9 是 HEMT 器件结构的几种典型例。

7.3.3 电学特性

HEMT 的漏极电流-电压特性与 Si MOSFET 的电流-电压特性基本上是相同的。

在线性工作区:

$$I_{DS} = 2K \left\{ (V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right\} \quad (7.6)$$

在电流饱和区:

$$I_{DS} = K (V_{GS} - V_T)^2 \quad (7.7)$$

$$\text{式中, } K = \frac{\mu W_G \epsilon}{2 L_G d} \quad (7.8)$$

阈值电压 V_T 为

$$V_T = \varphi_M - \frac{q N_D d^2}{2\epsilon} - \Delta E_c \quad (7.9)$$

由式(7.9)可以得到阈值电压 V_T 随膜厚变化的灵敏度:

$$\frac{dV_T}{dd} = - \left\{ 2q N_D \left(\varphi_M - \frac{\Delta E_c}{q} - V_T \right) / \epsilon \right\}^{1/2} \quad (7.10)$$

式中, μ 是电子迁移率, ϵ 是 AlGaAs 的介电常数, d 是 AlGaAs 的厚度, W_G, L_G 分别是栅的宽度和长度。 φ_M 是肖特基势垒的电势, N_D 是 AlGaAs 中的施主浓度, ΔE_c 是 AlGaAs/GaAs 异质结导带能量不连续量。

在推导式(7.6)和式(7.7)时,曾假设电子迁移率不随电场强

度变化,是一定值。对于短的栅长度器件,沟道内平均电场很高,所以有必要考虑高电场范围的电子输运性质。

图 7.10 示出漏极电流 I_{DS} 与栅电压 V_{GS} 的关系,用 $\sqrt{I_{DS}}$ 与 V_{GS} 的关系表示。可以看出,D,E-HEMT 都服从平方法则。电子迁移率在 300K 时 $6 \times 10^3 \text{ cm}^2/(\text{V} \cdot \text{s})$,在 77K 时 $2 \times 10^4 \text{ cm}^2/(\text{V} \cdot \text{s})$ 。77K 时的 K 值比 300K 时改善了约 3 倍,这与电子迁移率的改善基本上是一致的。与 $1 \mu\text{m}$ 栅长的 GaAs MESFET ($K=0.7 \text{ mA/V}^2$, $W_G=10 \mu\text{m}$) 相比,即使 E-HEMT 的栅长为 $2 \mu\text{m}$, K 值在 300K 时也大 1.6 倍,77K 时大 5 倍。 $V_{DS}=1.5 \text{ V}$, $V_{GS}=0.7 \text{ V}$ 时,得到 $g_m=193 \text{ mS/mm}$ (300K) 和 409 mS/mm (77K)。已经确认,栅长 $L_G=1.7 \mu\text{m}$ 的 HEMT 环形振荡器,在 77K,得到 17.1 ps , 0.96 mW 。

在式 (7.10) 中,当 $N_D=2 \times 10^{18} \text{ cm}^{-3}$, $\phi_M=1.2 \text{ V}$, $\Delta E_c=0.32 \text{ eV}$ 时,计算得到 $dV_T/d d$ 与 V_T 的关系,当 $V_T=0.13 \text{ V}$ 时, $dV_T/d d=70 \text{ mV/nm}$ 。 K 值和 g_m 值与栅长的 L_G^{-1} 关系只有些微的偏离,看不到通常发生在 GaAs MESFET 中的短沟道效应。77K 时的 K 值相当于 300K 时的 3~4 倍。 $L_G=0.5 \mu\text{m}$ 时 $g_m=500 \text{ mS/mm}$ 。

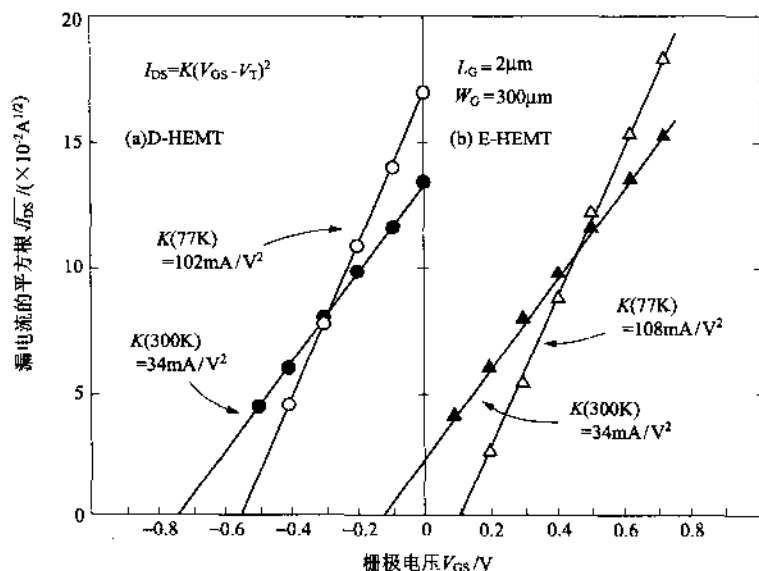


图 7.10 漏电流的平方根 $\sqrt{I_{DS}}$ 与栅电压 V_{GS} 的关系

HEMT 的结构与 GaAs MESFET 比较,由于低电场迁移率 μ [$8 \times 10^3 \text{ cm}^2/(\text{V} \cdot \text{s})$ (300K), $4 \times 10^4 \text{ cm}^2/(\text{V} \cdot \text{s})$ (77K)], 饱和速度 V_s ($1.5 \times 10^7 \sim 1.9 \times 10^7 \text{ cm/s}$ (300K)) 都高,所以提高了开关时电流增益的截止频率 f_T 。另外,由于逻辑振幅低电平的跨导大,所以能够发挥其高速、低功耗的特点。能够实现将阈值电压的标准偏差控制在逻辑振幅的 1% 以下,从而也说明它非常有希望做成超高速 LSI。

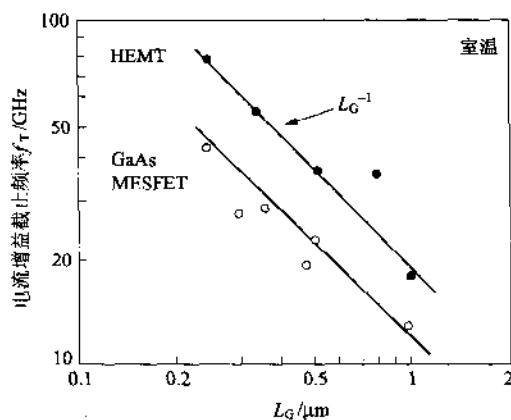


图 7.11 HEMT 与 GaAs MESFET 的电流增益截止频率 f_T 与栅长 L_G 的关系

图 7.11 为 MESFET 与 HEMT 的 $f_T (=g_m/2\pi C_{rs} \sim V_s/L_G)$ 与栅长 L_G 的关系。室温下, $f_T = 38 \text{ GHz}$ ($L_G = 0.5 \mu\text{m}$), 80 GHz ($L_G = 0.25 \mu\text{m}$), 与相同栅长的 GaAs MESFET 相比,高出约 2 倍。发射极尺寸为 $0.2 \mu\text{m}$ 的 Si 双极晶体管(SST),推算出截止频率 f_T 为 40 GHz ,并且表现出与 GaAs MESFET 几乎相同的依赖关系。如在低温下工作,那么 f_T 将会改善 2 倍。 K 值为 $650 \text{ mA}/(\text{V}^2 \cdot \text{mm})$ ($1 \mu\text{m}$), $900 \text{ mA}/(\text{V}^2 \cdot \text{mm})$ ($0.5 \mu\text{m}$)。短沟道效应小,所以对于微细线条和低温工作,都能够发挥其高速特性。

7.4 微波 HEMT

7.4.1 低噪声 HEMT

在卫星通信中,要接收来自 36 000 公里的同步卫星上的发出

的微弱电波信号,或者要接收来自宇宙 500 光年之遙地球上发射出的极微弱的毫米波电波,就必须有高质量的低噪声放大器,才能将接收到的电波信号与放大器内部产生的噪声区别开。

在微波、毫米波范围,HEMT 与以往的 GaAs MESFET 相比,在低噪声、高增益特性方面具有本质上的优势。如前节所述,对于栅长为 $0.5\mu\text{m}$ 的器件,HEMT 与 GaAs MESFET 室温下的电流增益截止频率 f_T 分别为 38GHz 和 23GHz,相差约 1.5 倍。功率增益与 f_T^2 成比例, f_T 高的 HEMT 能够实现高的功率增益。噪声特性方面, f_T 高的器件噪声系数低。最小噪声系数 F_{\min} 可以用下面经验式表示:

$$F_{\min} = 1 + k \frac{f}{f_T} \sqrt{g_m (R_s + R_G)} \quad (7.11)$$

式中, k 是常数, f 是测试频率, g_m 是跨导, R_s 是源区电阻, R_G 是漏区电阻。HEMT 和 GaAs MESFET 的 k 值分别为 1.5 和 2.5, f_T 愈高 F_{\min} 愈小。已经商品化的 $L_G = 0.5\mu\text{m}$ 自对准型 HEMT (富士通 FHR01FH) $f = 20\text{GHz}$ 时, $F_{\min} = 1.7\text{dB}$, 功率增益 $G_s = 8.8\text{dB}$; $f = 12\text{GHz}$ 时, $F_{\min} = 1.08\text{dB}$, $G_s = 12.7\text{dB}$ 。

令 HEMT 内部产生的噪声功率为 P_n , 功率增益为 G_s , 那么 F_{\min} 可以定义为下式:

$$F_{\min} = 1 + \frac{P_n}{G_s k_B T_0 \Delta f} \quad (7.12)$$

式中, k_B 是玻尔兹曼常数, $T_0 = 290\text{K}$, Δf 是频率带宽, $k_B T_0 \Delta f$ 是热噪声。噪声系数依赖于 P_n/G_s 。

另一方面,噪声功率与频率无关,所以是一种白噪声,在栅长为 $0.5\mu\text{m}$ 的 GaAs MESFET 中,是热噪声的 3.4 倍,而在栅长为 $0.5\mu\text{m}$ 的 HEMT 中,相当于热噪声的 1.7 倍。可以用 GaAs MESFET 同样的解析方法用下式表示这种噪声功率:

$$P_n \propto I_{DS} \cdot \frac{D}{V_s} \cdot \exp\left(\frac{\pi}{a} L_G\right) \cdot \Delta f \quad (7.13)$$

式中, D 是电子的扩散系数, V_s 是电子的饱和速度。

噪声的产生是由于电子的扩散现象形成空间分布引起的。HEMT 与 GaAs MESFET 相比,由于 V_s 大 1.3 倍,而 $P_n \propto V_s^{-1}$, 所以噪声功率低 1/2。

由于栅长的缩短,使低噪声性能进一步提高。另一方面,栅长的缩短,使栅极截面积变小,导致栅极电阻增加。为了防止避免现象,人们正在研究开发 T 型栅极结构的 HEMT。

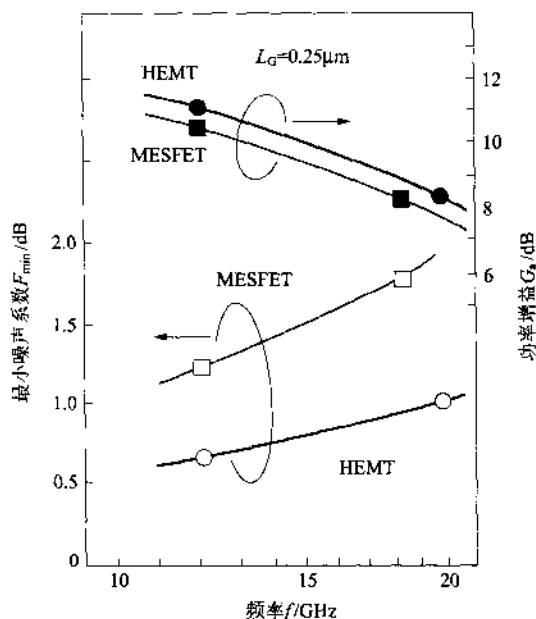


图 7.12 HEMT 与 GaAs MESFET 的噪声系数和功率增益特性与频率的关系

HEMT 卓越的低噪声特性

HEMT 的低噪声性能在电波天文学领域具有重要的应用价值。东京大学天文台野边山宇宙电波观测所为了进行电波观测开发了液氮冷却 HEMT 放大器。

这种放大器在 25.3K, 23.5GHz 下的最低噪声温度为 75K, 在 22~24GHz 下, 包括冷却单元放大器后级的同轴电缆以及输入电路总的损失在内, 噪声温度在 87K 以下, 增益在 13dB 以上。一个放大器单体的噪声温度约 50K。HEMT 几乎不因冷却和机械振动影响它的增益和工作稳定性, 可以长时间连续观测电波, 比以往的参量放大器性能优越。

这种放大器搭载在野边山宇宙电波观测所直径 45m 的毫米波望远镜和直径 10m 的 5 单元干涉仪上, 为宇宙电波观测装置的性能和稳定性的提高作出了贡献。该观测所的星间分子探测组从距地球 500 光年的“金牛座”的黑暗星云 TMC-1 中发现了未知的星间分子 C_6H 。这种分子在地球上不存在, 是漂浮于黑暗星云的星间分子云中在物质生成过程中存在的物质, 人们期待着它对探索星球的诞生奥秘作出贡献。

图 7.12 是栅长为 $0.25\mu\text{m}$ 的 HEMT 与 GaAs MESFET 的噪声系数与功率增益特性的比较。 $f=20\text{GHz}$ 时, $F_{\min}=1.0\text{dB}$, $G_s=8.2\text{dB}$, 噪声特性优于 GaAs MESFET。当 $f=30\text{GHz}$, $I_{\text{DS}}=5\text{mA}$, $V_{\text{DS}}=3\text{V}$ 时, $F_{\min}=1.7\text{dB}$, $G_s=6.1\text{dB}$ 。

卫星通信地球局使用的 $30\text{GHz}/20\text{GHz}$ 带同步通信卫星 CS-2 上采用了电子冷却 HEMT 放大器。为了确保降雨衰减量安全系数, 提高 HEMT 的低噪声性能和稳定性, 在邮政省卫星利用控制计划实验局证实它的稳定工作。这种放大器, 利用了 4 级 HEMT 的放大器, 形成帕尔帖冷却功能模块结构。冷却到 -55°C , 频率为 $17.7\sim 19.7\text{GHz}$ 时噪声温度在 135K 以下, 增益在 38dB 以上, 显示出比以往电子冷却参量放大器的噪声特性有大幅度的改善。

7.4.2 高输出 HEMT

高输出微波器件中, GaAs MESFET 已经商品化, 缩短栅长和改善内部匹配电路使得它的性能不断提高。HEMT 与 GaAs MESFET 相比, 由于截止频率高, 所以有望成为功率增益大的高频高输出器件。它的最大功率增益 $G_{s,\max}$ 表示为

$$G_{s,\max} \propto f_T^2 \propto V_s^2 \quad (7.14)$$

为了实现高输出特性, 需要优化高电流密度、高耐压器件的结构, 两者之间通常有权衡关系。因此, 以高耐压化为目标时, 需研究低掺杂浓度的双异质结 HEMT; 如果为了获得高输出特性, 应开发多沟道结构的 HEMT。

为谋求大电流化器件, 把 HEMT 的结构改进为图 7.13 所示的 6 沟道结构。外延生长后在 77K 温度下二维电子气的薄层密度为 $5.3 \times 10^{12} \text{cm}^{-2}$, $\mu = 5.95 \times 10^4 \text{cm}^2/(\text{V} \cdot \text{s})$ 。源、漏电极用 AuGe/Au 合金法形成, 栅电极采用凹槽结构和铝搬迁法形成。器件的尺寸为: 栅长 $0.5\mu\text{m}$, 总栅宽度 2.4mm , 单位栅宽度 $60\mu\text{m}$ 。源-漏间隔 $5\mu\text{m}$ 。薄片尺寸 $1.2 \times 0.4\text{mm}$, 饱和漏极电流 800mA , 最大漏极电流 1.27A ($530\text{mA}/\text{mm}$)。这大约是双异质结结构 HEMT 的 2 倍。器件的串联输入阻抗为 $0.8\Omega \cdot \text{mm}$, 源-漏间耐压 $7\sim 8\text{V}$ ($I_G=1\text{mA}$)。可以对于微波带状线的短线辐射损失和不匹配损失进行输出调整, 调整时器件的条件为: 漏极电压 8V , 漏极电流为饱和电流的 $1/2$, 输入功率设定为 $29\sim 30\text{dBm}$ 。在这种方式下, 频率为 30GHz 时得到输出功率 1W , 增益 3.1dB , 功率附加

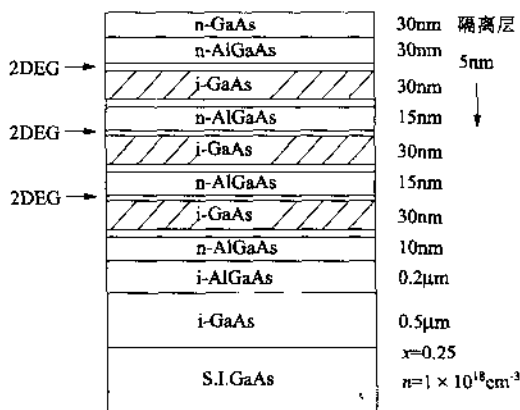


图 7.13 多沟道异质结 HEMT 的结构示意图(6 沟道)

效率 15.6%，线性增益 4.2dB。若饱和输出 1.2W，得到增益 2dB。工作频率为 35GHz 时，得到输出 0.8W，增益 2dB，效率 10.7%，线性增益 3.4dB，饱和输出 1W。这些值比 GaAs MESFET 提高了约 30%，显示单片的最高输出性能。这是由于多沟道结构实现大电流化并降低寄生效应的结果。

7.5 超高速数字 HEMT

7.5.1 基本电路形式和开关特性

用于数字集成电路的 GaAs 系 FET 电路有多种形式，典型的如图 7.14 所示，有用增强型 FET 作开关器件的 DCFL(direct coupled FET logic)电路，采用耗尽型 FET 的 BFL(buffered FET logic)电路，SDFL(schottky diode FET logic)电路，以及使电路工作在开关状态的 SCFL(source coupled FET logic)电路等。

DCFL 电路是实现逻辑功能需要器件最少的一种，具有逻辑振幅小(1V 以下)、功耗低等特点，是一种适于 LSI 化的电路。栅长 $1\mu\text{m}$ 左右的电路中，在无负载状态的输运延迟时间为 10~20ps，呈现出良好的高速性能。另外，也试制了具有十多个栅极规模的频率分频器，确认其最大工作频率超过 10GHz。这些特性与以往的 Si ECL 电路或 GaAs MESFET 相比，速度提高了 2~3 倍，通过电路的优化设计和工艺改进，还可以进一步提高速度。

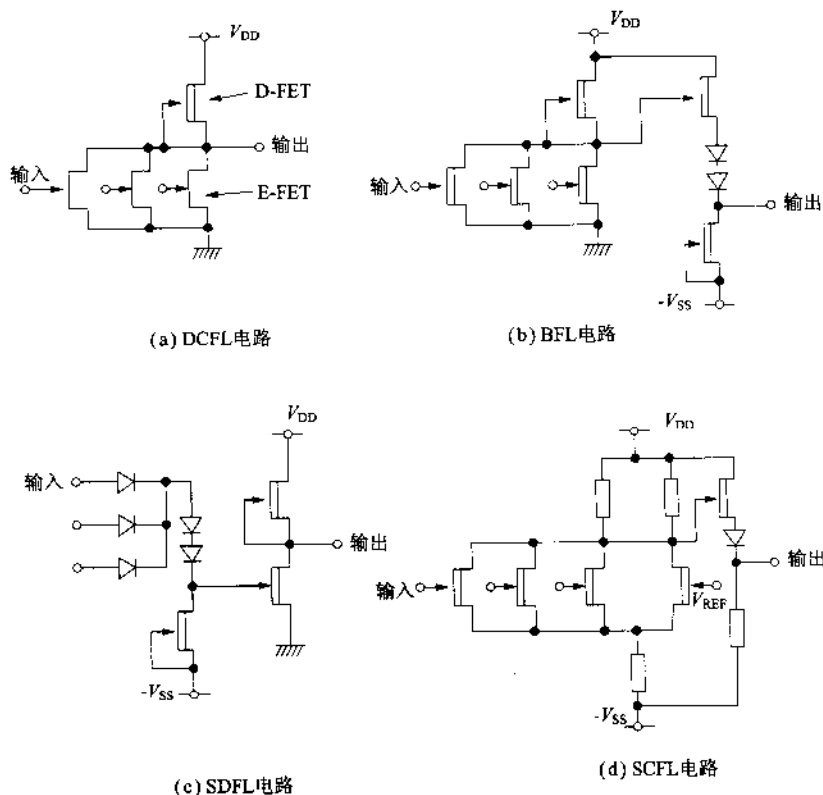


图 7.14 GaAs 系 FET 的基本电路形式

图 7.15 表示 DCFE 基本栅极的开关时间 t_{pd} 与栅长 L_G 的关系。LSI 中, 确保噪声界限是很重要的。图中的数据是在噪声界限为 200mV 以上、电源电压 1V 条件下得到的。 t_{pd} 差不多与 L_G 成比例缩短, 2 英寸片内的平均值, $L_G = 0.5\mu\text{m}$ 时, \bar{t}_{pd} 为 23ps (标准偏差 1ps), $L_G = 0.28\mu\text{m}$ 时, $\bar{t}_{pd} = 10.7\text{ps}$ 。 $L_G = 0.5\mu\text{m}$ 时, 高电平和低电平的标准偏差为 12mV, 15mV, 显示出极高的一致性。

7.5.2 计数器与可控制性

为了用于高速计数器, 一个重要的问题是探明其随之而来的短沟道效应和器件特性的可控制性。如图 7.16 所示, 对于 HEMT, 即使栅长微细化到亚微米范围, 也几乎没有出现由短沟道效应引起的器件特性劣化现象。 L_G 从 $1.4\mu\text{m}$ 减小到 $0.14\mu\text{m}$, V_{th} 发生的变化之小几乎可以忽略。因此, 器件的特性容易控制, 有

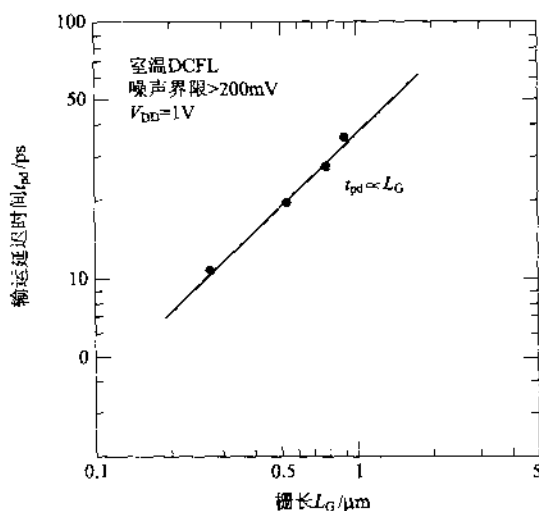


图 7.15 DCFL 基本栅的开关时间与栅长的关系
(室温, 噪声界限 200mV 以上, 电源电压 1V)

可能实现 $0.15\mu\text{m}$ 线制的 LSI。另外, 伴随短沟道尺寸的减小, 即使向电子供给层 n-AlGaAs 中高浓度掺杂也没有降低电子迁移率, 原理上没有影响高速特性。

采用 HEMT 的直接结合型 FET 逻辑电路 (DCFL) 中, 基本栅中基本延迟时间 (t_{pd}) 与栅长 (L_G) 之间几乎是正比关系。LSI 中, 提高高、低电平的噪声界限是重要的, 在高、低电平的噪声界限都在 200mV 以上, 电源电压 1V 的条件下, 当 $L_G = 0.5\mu\text{m}$ 时, $t_{\text{pd}} = 20\text{ps}$ (在 3 英寸片内标准偏差 1ps); $L_G = 0.28\mu\text{m}$ 时, $t_{\text{pd}} = 9.2\text{ps}$ 。另外, 阈值电压的标准偏差能够控制在逻辑振幅的 1% 以内。因此, 在 LSI 的设计中能够要求器件特性具有一致性。在 $0.8 \sim 2.6\text{V}$ 的工作范围内, $0.5\mu\text{m}$ 栅长中单位栅长 19ps 的延迟时间几乎没有变化。扇入/扇出特性为 4ps/F. I., 12ps/F. O., 布线延迟时间为 24ps, F. I. = F. O. = 3, $l = 1\text{mm}$ 的负载时, 延迟时间为 75ps (1mW)。

图 7.17 是 HEMT, GaAs MESFET 以及 Si 双极高速器件的延迟时间/功耗的性能比较。HEMT 处于高速、低功耗性能的优越地位。HEMT 的肖特基势垒是在 AlGaAs 上形成的, 它比 MESFET 在 GaAs 上形成的势垒要高出 0.2eV, 所以高电平的噪声界限也高。另外, 由于低电场迁移率大, 所以低电平噪声界限也

高,这对于高度集成化的电路设计是很有利的。

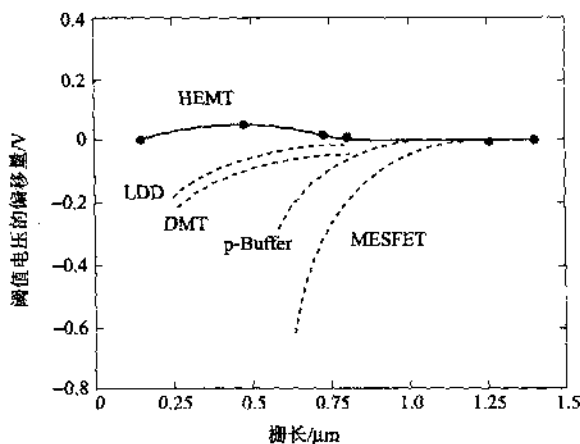


图 7.16 阈值电压偏移量与栅长的关系

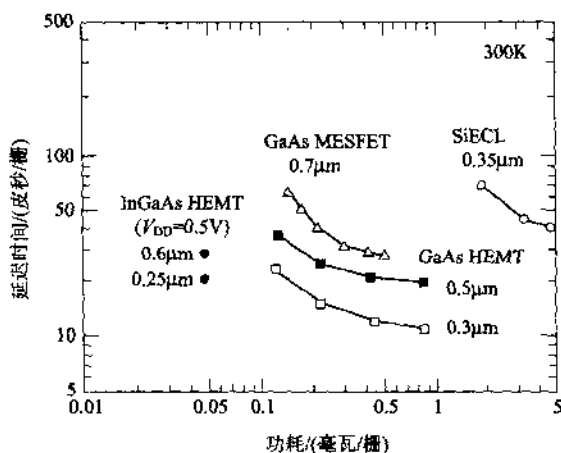


图 7.17 延迟时间与功耗的关系

与 Si 双极器件相比,HEMT 显然具有性能价格比的优势,但是,最近的 CMOS 在高速化技术中优越性也是显著的。因此,一个更重要的课题是进一步追求高集成化、多功能化,研究开发兆位存储器和千兆位时钟脉冲逻辑。由于 HEMT 的低电场迁移率高,在低电势下电子速度能够进入饱和区,所以可以实现在低电场范围保持高速的电压计数器。当栅长为 $0.25\mu\text{m}$ 时,在 $V_{\text{DD}}=0.5\text{V}$ 下工作,达到 20ps , 50 微瓦/栅,开关能量为 1fJ ,具有与 CMOS 同

样小的值。

练习题

1. 试画出 $n\text{-AlGaAs}$ 与 $i\text{-GaAs}$ 两种材料形成的异质结能带图。注意,真空能级是连续的,另外, $n\text{-AlGaAs}$ 的禁带宽度为 E_{g1} , $i\text{-GaAs}$ 的禁带宽度为 E_{g2} , $E_{g1} > E_{g2}$ 。
2. 试说明高纯化合物半导体 $\text{GaAs}(i\text{-GaAs})$ 中二维电子气(例如 $\text{AlGaAs}/\text{GaAs}$ 异质结)的电子迁移率与温度的关系。(参见图 7.5)
 - (1) 室温(300K)和低温(77K)时电子迁移率分别有多大?
 - (2) 电子的散射机构有晶格散射(有极性光学模 PO 与等极性声学模 AP),压电散射(PE),杂质散射。在 300K, 77K, 和 4.2K, 各温度范围内,支配性的散射机构是什么?
 - (3) 调制掺杂二维电子气为什么能够忽略杂质散射的影响?
3. 说明 HEMT 的工作原理。
4. 试由式(7.9)推导出式(7.10)。
5. 从式(7.10)定量分析 HEMT 的阈值电压 $V_T = -0.5\text{V}$ 时阈值电压随膜厚变化的敏感性 dV_T/dd 。式中, q 是电子电荷, $N_D = 2 \times 10^{18} \text{cm}^{-3}$, $\phi_M = 1.2\text{V}$, $\Delta E_C = 0.32\text{eV}$, AlGaAs 的相对介电常数 $\epsilon_r = 12$, ϵ_0 是真空介电常数。 AlGaAs 的厚度 d 每改变一个原子层(a_0), 阈值偏移多少? 这里, $a_0 = 2.8\text{\AA}$ 。

练习题简答

第 1 章

1. (要点) 开发以“更低的能耗”、“更快的速度”处理“更多的信息”的技术是驱动力。从这种潮流来看, 支撑未来的新的功能器件是光信息处理器件, 即光 IC, 光电子 IC。

第 2 章

1. (要点) 从式(2.27), 式(2.29)和式(2.23)以及它们与温度的关系图说明。
3. 结果如下表:

	N_c/cm^{-3}	N_v/cm^{-3}	n_i/cm^{-3}
Si	4.7×10^{18}	8.8×10^{18}	3.7×10^9
Ge	2.6×10^{18}	4.1×10^{18}	5.2×10^{13}
GaAs	4.6×10^{17}	8.8×10^{18}	1.9×10^6

3. (要点) 就式(2.10), 由于 μ_L 与 $T^{-3/2}$ 成比例, μ_1 与 $T^{3/2}$ 成比例, 故在某点具有峰值。

第 3 章

1. (要点) 增加掺杂量, V_D 上升。而温度上升, 则 V_D 下降。在低温范围, V_D 变大, 成绝缘状态。
2. (要点) 宽带窗作用, 载流子关闭作用等。

第 4 章

1. $I_s = (qD_n n_{p0}/L_n + qD_p p_{n0}/L_p)$ 。将 $n_i^2 = np$ 和 $L^2 = D\tau$ 的关系代入, 得到 $I_s = qn_i^2 \{1/p_p (D_n/\tau_n)^{1/2} + 1/n_n (D_p/\tau_p)^{1/2}\}$ 。因 $n_i^2 = N_c N_v \exp(-\epsilon_g/kT)$, 故应该使用重掺杂禁带宽度大的半导体材料制作 pn 结。另一个条件是少数载流子的扩散系数应该小, 而少数载流子寿命与多数载流子密度的倒数成比例变小, 所以饱和电流随多数载流子密度的平方根减小。

2. 利用 $\Delta \approx (1 + j\omega\tau/2)$ 和 $\Delta \approx (\omega\tau)^{1/2}(1 + j)$ 的关系。

$$3. \quad \frac{d^2\phi}{dx^2} = -\frac{qax}{\epsilon_0\epsilon_s}$$

$$\phi = -\frac{qa}{6\epsilon_0\epsilon_s}x^2 + Bx + B$$

$x=0$ 处 ϕ 为零, 所以积分系数 B 为零。另外, 在过渡区两端, 电场为零, 所以

$$\phi = -\frac{qa}{2\epsilon_0\epsilon_s}x\left(\frac{x^2}{3} + \frac{d^2}{4}\right)$$

而且,过渡区两端的电势差等于扩散电势,所以

$$d = \left\{ \frac{12\epsilon_0\epsilon_s}{qa} (V_D - V) \right\}^{1/2}$$

结电容作为平行板电容器处理;

$$C = \left\{ \frac{qa\epsilon_0^2\epsilon_s^2}{12} \frac{1}{(V_D - V)} \right\}$$

$$4. \quad \phi_n(W) = \frac{qN_D}{2\epsilon_0\epsilon_s} W^2 = \frac{\epsilon_c W}{2}$$

设 $\phi_n(W)$ 为击穿电压 V_B , 这时的电场为临界电场 ϵ_c ,

$$V_B = \frac{\epsilon_c W}{2} = \frac{\epsilon_0\epsilon_s\epsilon_c^2}{2qN_B}$$

N_B 是击穿时 n 型半导体的施主密度。

5. $V_D = \phi_n - \phi_p = \phi_n - V_n$, 这里 V_n 是导带与施主能级的电势差。因为 $n_s = N_c \exp(-qV_n/kT)$, $I = qAN_c \exp(-q\phi_p/kT) \{ \exp(qV/kT) - 1 \}$ 。式 (4.34) 表示偏压与 $(1/C^2)$ 关系, 从该关系得到的直线斜率求得 n 型半导体的电子密度, 从直线与电压轴的交点求得扩散电压, 再由 $n = N_c \exp(-qV_n/kT)$ 和 $V_D = \phi_n - V_n$ 的关系求得 ϕ_n 。

第 5 章

1. 由 $\alpha = I_C/I_E$, $I_E = I_C + I_B$ 的关系, 可得到 $\beta = I_C/I_B = I_C/(I_E - I_C) = (I_C/I_E)/(1 - (I_C/I_E)) = \alpha/(1 - \alpha)$
2. 略
3. 用式 (5.48), 得出基区渡越时间 $\tau_B = W^2/2D_b = 0.17\text{ns}$, α 截止频率 $f_\alpha = 1/(2\pi\tau_B) = 955\text{MHz}$ 。
4. 从式 (5.1), (5.4), (5.6) 求 I_{CB0} 与 I_{CE0} 的关系。
5. 略

第 6 章

1. 由式 (6.20) 得到 $I_D = 3 \times 10^{-4}(\text{A})$ 。
2. $I_D = (1/2)(W/L)\mu_e C_i V_{DS}^2$ 。
3. 参照交流小信号部分。
4. 参照 MOS 存储器一节。
5. 参照 CCD 与 BBD 一节。

第 7 章

1. 参照 7.2 节和图 7.3。
2. 参照图 7.5
(1) $T = 300\text{K}$ 时, $8 \times 10^3 \text{cm}^2/(\text{V} \cdot \text{s})$,

$T=77\text{K}$ 时, $2 \times 10^5 \text{ cm}^2/(\text{V} \cdot \text{s})$ 。

(2) 300K , PO; 77K , PO+AP; 4.2K , PE。

(3) 调制掺杂的二维电子气, 由于与母体施主原子实现空间的分离, 可以忽略杂质散射, 所以实现了高的电子迁移率。

3. 参照 7.3 节。

4. 将式(7.9)对 d 微分, 然后将式(7.9)的 d 代入。

5. 利用 $q = 1.6 \times 10^{19} \text{ C}$, $\epsilon = \epsilon_s \epsilon_0$, $\epsilon_0 = 8.85 \times 10^{-12} \text{ F/m}$ 计算, $dV_T/dd = 104 \text{ mV/nm}$, 利用 $a_0 = 2.8 \text{ \AA}$, 得到 $dV_T = 104 \times 0.28 = 29 \text{ mV}$ 。

编著者、著者简历

滨川圭弘

编著者, 执笔: 1章, 2章, 3章

1958年 大阪大学研究生院工学研究科硕士毕业

1964年 获工学博士

现在 立命馆大学工学部教授

横田胜弘

执笔: 4章

1963年 关西大学工学部电气工程专业毕业

1974年 获工学博士

现在 关西大学工学部教授

三上明义

执笔: 5章, 6章

1978年 大阪市立大学工学部电气工程专业毕业

1985年 获工学博士

现在 金泽工业大学电子工程专业教授

安部正幸

执笔: 7章

1973年 大阪大学研究生院基础工学研究科博士毕业

1973年 获工学博士

现在 株式会社关西新技术研究所表面科学研究中心功能材料研究部长

译者简历

彭 军

1965年 军事电讯工程学院半导体物理与器件专业

1990~1991年 日本九州大学技术科学研究院材料科学与技术研究室访问学者

现在 西安电子科技大学微电子所教授

本书著作权和专有出版权受到《中华人民共和国著作权法》的保护。凡对本书的一部分或全部进行转载、或用复印机进行复制或在其它场合引用、以及录入电子设备等行为, 均属侵害著作权, 构成违法。

本书如需复制、引用、转载、改编时, 必须得到版权所有者的许可。

如有任何疑问请与以下部门联系。联系时请尽量使用信函或传真形式。

科学出版社总编合作部 电话: 010-64034529 传真: 010-64019810

邮政编码: 100717 地址: 北京市东黄城根北街16号

<http://www.sciencep.com>

北京东方科龙图文有限公司 电话: 010-82843276 82843277 传真: 010-82842304

邮政编码: 100029 地址: 北京市朝阳区华严北里11号楼3层

<http://www.okbook.com.cn>